

DFW

501.43663X00

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): K. KUROTANI, et al.

Serial No.: 10/812,870

Filed: March 31, 2004

Title: A SEMICONDUCTOR DEVICE AND A METHOD OF
MANUFACTURING THE SAME

LETTER CLAIMING RIGHT OF PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

June 23, 2004

Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55, the applicant(s) hereby
claim(s) the right of priority based on:

Japanese Patent Application No. 2003-093783
Filed: March 31, 2003

A certified copy of said Japanese Patent Application is attached.

Respectfully submitted,

ANTONELLI, TERRY, STOUT & KRAUS, LLP



Gregory E. Montone
Registration No.: 28,141

GEM/rr
Attachment

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 3月31日
Date of Application:

出願番号 特願2003-093783
Application Number:

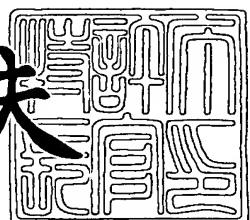
[ST. 10/C] : [JP2003-093783]

出願人 株式会社ルネサステクノロジ
Applicant(s):

2004年 5月21日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2004-3042793

【書類名】 特許願

【整理番号】 H03001441

【提出日】 平成15年 3月31日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/08

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 20番1号 株式会社日立
製作所 半導体グループ内

【氏名】 黒谷 欣吾

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 20番1号 株式会社日立
製作所 半導体グループ内

【氏名】 坂本 剛志

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 20番1号 株式会社日立
製作所 半導体グループ内

【氏名】 矢野 道男

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 20番1号 株式会社日立
製作所 半導体グループ内

【氏名】 那倉 健一

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【代理人】

【識別番号】 100080001

【弁理士】

【氏名又は名称】 筒井 大和

【電話番号】 03-3366-0787

【手数料の表示】

【予納台帳番号】 006909

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置および半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 半導体基板上に素子形成領域および前記素子形成領域を囲むように配置されたスクライブ領域を有し、

- (a) 前記半導体基板上の素子形成領域に形成された第1導電型の半導体層と、
- (b) 前記半導体層上に形成されたゲート絶縁膜と、
- (c) 前記ゲート絶縁膜上に形成されたゲート電極と、
- (d) 前記第1導電型と異なる第2導電型の第1半導体領域からなるソースと、
- (e) 第1不純物濃度を有する前記第2導電型の第2半導体領域と、前記第1不純物濃度より高濃度の第2不純物濃度を有し、前記第2半導体領域より前記ゲート電極から離れた位置に設けられた前記第2導電型の第3半導体領域とからなるドレインと、
- (f) チャネル領域が形成される前記第1導電型の第4半導体領域と、
- (g) 前記ソースと電気的に接続され、前記半導体基板の裏面に形成された電極と、
- (h) 前記素子形成領域内の、前記半導体基板の表面側に形成され、前記半導体基板と電気的に接続された評価用のソース電極パッドとを含む横型の電界効果トランジスタを有することを特徴とする半導体装置。

【請求項 2】 請求項1記載の半導体装置において、前記評価用のソース電極パッドは、前記スクライブ領域に形成されていないことを特徴とする半導体装置。

【請求項 3】 請求項1記載の半導体装置において、前記評価用のソース電極パッドと前記半導体基板とは、前記半導体層に形成された前記第1導電型の第5半導体領域を介して接続されていることを特徴とする半導体装置。

【請求項 4】 請求項1記載の半導体装置において、前記半導体基板上にパッジベーション膜が形成され、前記半導体基板の裏面から前記評価用のソース電極パッドを覆う前記パッジベーション膜の表面までの厚さは200μm以下であることを特徴とする半導体装置。

【請求項 5】 請求項 1 記載の半導体装置において、前記半導体基板の表面側に形成され、前記第 3 半導体領域と電気的に接続されたドレイン電極パッドおよび前記ゲート電極と電気的に接続されたゲート電極パッドをさらに含むことを特徴とする半導体装置。

【請求項 6】 (a) 半導体基板上に形成された第 1 導電型の半導体層と、
(b) 前記半導体層上に形成されたゲート絶縁膜と、
(c) 前記ゲート絶縁膜上に形成されたゲート電極と、
(d) 前記第 1 導電型と異なる第 2 導電型の第 1 半導体領域からなるソースと、
(e) 第 1 不純物濃度を有する前記第 2 導電型の第 2 半導体領域と、前記第 1 不純物濃度より高濃度の第 2 不純物濃度を有し、前記第 2 半導体領域より前記ゲート電極から離れた位置に設けられた前記第 2 導電型の第 3 半導体領域とからなるドレインと、
(f) チャネル領域が形成される前記第 1 導電型の第 4 半導体領域と、
(g) 前記半導体層に形成され、前記第 1 半導体領域と前記半導体基板とを電気的に接続する前記第 1 導電型の第 6 半導体領域と、
(h) 前記第 1 半導体領域と前記第 6 半導体領域との間に前記半導体層の表面から前記半導体基板に向かって形成された溝とを含む横型の電界効果トランジスタを有することを特徴とする半導体装置。

【請求項 7】 請求項 6 記載の半導体装置において、前記半導体基板の表面側に形成され、前記半導体基板と電気的に接続された評価用のソース電極パッドをさらに含むことを特徴とする半導体装置。

【請求項 8】 請求項 6 記載の半導体装置において、前記半導体基板の表面側に形成され、前記第 3 半導体領域と電気的に接続されたドレイン電極パッドおよび前記ゲート電極と電気的に接続されたゲート電極パッドをさらに含むことを特徴とする半導体装置。

【請求項 9】 請求項 6 記載の半導体装置において、前記溝の深さは $2 \mu\text{m}$ 以上であることを特徴とする半導体装置。

【請求項 10】 請求項 6 記載の半導体装置において、前記溝の内部に絶縁膜が埋め込まれていることを特徴とする半導体装置。

【請求項 11】 請求項 6 記載の半導体装置において、前記溝の内部に導体膜が埋め込まれていることを特徴とする半導体装置。

【請求項 12】 請求項 6 記載の半導体装置において、前記第 6 半導体領域の周囲に前記溝が形成されていることを特徴とする半導体装置。

【請求項 13】 請求項 6 記載の半導体装置において、前記溝は、前記第 6 半導体領域がチャネル領域へ広がるのを抑制することを特徴とする半導体装置。

【請求項 14】 (a) 半導体基板上に形成された第 1 導電型の半導体層と

(b) 前記半導体層上に形成されたゲート絶縁膜と、

(c) 前記ゲート絶縁膜上に形成されたゲート電極と、

(d) 前記半導体基板と電気的に接続された前記第 1 導電型と異なる第 2 導電型の第 1 半導体領域からなるソースと、

(e) 第 1 不純物濃度を有する前記第 2 導電型の第 2 半導体領域と、前記第 1 不純物濃度より高濃度の第 2 不純物濃度を有し、前記第 2 半導体領域より前記ゲート電極から離れた位置に設けられた前記第 2 導電型の第 3 半導体領域とからなるドレインと、

(f) チャネル領域が形成される前記第 1 導電型の第 4 半導体領域と、

(g) 前記ソースと電気的に接続され、前記半導体基板の裏面に形成された電極と、

(h) 前記半導体基板の表面側に形成され、前記半導体基板と電気的に接続された評価用のソース電極パッドとを含む横型の電界効果トランジスタを形成した後

前記半導体基板の裏面側に補強テープを貼り付け、前記評価用のソース電極パッドにプローブを立てて前記電界効果トランジスタの特性を測定することを特徴とする半導体装置の製造方法。

【請求項 15】 請求項 14 記載の半導体装置の製造方法において、前記半導体基板の裏面側に前記補強テープを貼り付ける前に、前記半導体基板の裏面を研削することを特徴とする半導体装置の製造方法。

【請求項 16】 請求項 14 記載の半導体装置の製造方法において、前記半

導体基板の裏面側に前記補強テープを貼り付けた状態で、前記半導体基板をダイシングすることを特徴とする半導体装置の製造方法。

【請求項 17】 請求項14記載の半導体装置の製造方法において、前記半導体基板の裏面側に前記補強テープを貼り付けた状態で、前記半導体基板をスクライビングすることを特徴とする半導体装置の製造方法。

【請求項 18】 横型の電界効果トランジスタを有する半導体装置の製造方法であって、

- (a) 半導体基板上に第1導電型の半導体層を形成する工程と、
- (b) 前記半導体層に溝を形成する工程と、
- (c) 前記半導体層に第1不純物を導入することにより、前記溝からチャネル領域と反対側の前記半導体層に、前記半導体基板に到達する前記第1導電型の第6半導体領域を形成する工程と、
- (d) 前記半導体層上にゲート絶縁膜を形成する工程と、
- (e) 前記ゲート絶縁膜上にゲート電極を形成する工程と、
- (f) 前記半導体層に第2不純物を導入することにより、端部が前記ゲート電極の一方の端部に一致するような状態で、前記第1導電型と異なる第2導電型のドレイン用の第2半導体領域を形成する工程と、
- (g) 前記半導体層に第3不純物を導入することにより、端部が前記ゲート電極の一方の端部から前記第1半導体領域分離された位置に、前記第2導電型のドレイン用の第3半導体領域と、端部が前記ゲート電極の他方の端部に一致するような状態で、前記第2導電型のソース用の第1半導体領域とを形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 19】 請求項18記載の半導体装置の製造方法において、前記(b)工程の後に、前記溝を絶縁膜で埋め込む工程をさらに有することを特徴とする半導体装置の製造方法。

【請求項 20】 請求項18記載の半導体装置の製造方法において、前記(c)工程の後に、前記溝を絶縁膜または導電体で埋め込む工程をさらに有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】**【発明の属する技術分野】**

本発明は、半導体装置およびその製造技術に関し、特に、横型の電界効果トランジスタ (Laterally Diffused Metal Oxide Semiconductor Field Effect Transistor: LDMOS・FET) を有する半導体装置およびその製造方法に適用して有効な技術に関する。

【0002】**【従来の技術】**

LDMOS・FET (以下、単にLDMOSと記す) は、バイアス回路の簡素化、高電力利得など様々な長所をもたらすことから、近年バイポーラ・トランジスタに代わり、携帯電話基地局またはデジタル・テレビ放送局送信機の高周波電力增幅に用いられている。

【0003】

LDMOSは、p⁺基板上に成長させたpエピタキシャル層に形成され、ゲート、ゲート端部下に達するn⁺ソース領域、ゲート端部下に達するn-ドレイン領域、ゲート端部からn-ドレイン領域分だけ離れたn⁺ドレイン領域、チャネル領域が形成されるpウェルによって構成されている。

【0004】

LDMOSのn⁺ソース領域およびn⁺ドレイン領域はチップ表面側に位置するが、ソース電極をチップ裏面側のp⁺基板とするため、n⁺ソース領域は水平方向に拡散した低抵抗のp⁺ソース打ち抜き層または導電体によってチップ裏面側のp⁺基板に接続されている (例えば、特許文献1参照)。p⁺ソース打ち抜き層または導電体膜を介してn⁺ソース領域をp⁺基板に接続することにより、n⁺ソース領域のインダクタンスまたは抵抗を下げる、LDMOSの高周波電力利得の低下を防止している。

【0005】**【特許文献1】**

特開平5-218321号公報

【0006】

【発明が解決しようとする課題】

LDMOSにおいて、さらに高利得を得るためにには、①p⁺基板の厚さを薄くする、②p⁺ソース打ち抜き層の平面積を拡大する、または③p⁺ソース打ち抜き層の濃度を高くすることによって、n⁺ソース領域のインダクタンスまたは抵抗を下げる必要となる。しかしながら、上記方法においては、以下の課題があることを本発明者らは見いだした。

【0007】

まず、①p⁺基板の厚さを薄くする方法では、p⁺基板の厚さを薄くするに従つてp⁺基板の反り量が増大し、ウエハ（LDMOSが作り込まれた複数のチップを配列した平面略円形状の基板）の取り扱いが難しくなるという問題がある。特にp⁺基板の裏面を研削して、LDMOSを覆うパッシベーション膜の表面からp⁺基板の裏面までの厚さを200μm以下とした後、ウエハ上に作られた1個1個のチップの良・不良を判定するプローブ検査工程において、ウエハ割れによる製造歩留まりの低下が生じた。すなわち、このプローブ検査ではウエハを測定用ステージに載置し、真空吸着した後に、ウエハを測定用ステージに載置した状態でプローブ測定部に移動し、プローブ（探針）をチップ表面側のゲート用電極パッドおよびドレイン用電極パッドに接触させてLDMOSの特性測定が行われるが、ウエハの真空吸着またはウエハの搬送においてウエハに強い力が働き、容易にウエハが割れてしまう。

【0008】

そこで、本発明者らは上記プローブ検査工程におけるウエハ割れの対策として、ウエハの裏面側にテープを貼り付けてウエハを補強する検討を行った。従来、LDMOSのn⁺ソース領域は、前述したようにp⁺ソース打ち抜き層または導電体を介してp⁺基板に接続し、p⁺基板をソース電極としている。このため、ウエハの裏面側にテープを貼り付けるプローブ検査では、プローブ検査用のソース電極パッドをウエハの表面側に設ける必要がある。

【0009】

しかしながら、ウエハの表面側にソース電極パッドを設けると、ソース電極パッドはゲート電極パッドとの間で寄生容量を持つため、正確なLDMOSの高周

波特性を測定することが難しくなる。またウエハの表面側に設けられたソース電極用のパッドを、各チップの周囲4辺に持つスクライブ領域に形成してゲート電極用のパッドから離すことにより、寄生容量を低減することも検討された。しかし、通常スクライブ領域には、TEGパターン、合わせ用パターン、寸法パターンなどが形成され、また縮小投影法を用いたリソグラフィ技術では、合わせ精度を高めるため、合わせ用のターゲット類は全てショットの最外周の四隅に置かれることから、ソース電極パッドを形成することができるスクライブ領域を全てのチップに提供することができない。

【0010】

次に、②p⁺ソース打ち抜き層の平面積を拡大する方法では、p⁺ソース打ち抜き層がLDMOsのチャネル領域に到達して、オン抵抗またはしきい値電圧が大きくなり、所望するLDMOsの静特性が得られないという問題がある。p⁺ソース打ち抜き層がLDMOsのチャネル領域に到達しないように、p⁺ソース打ち抜き層を形成する際のp型不純物の拡散開始箇所をチャネル領域から離すことができる。しかしながら、p⁺ソース打ち抜き層の深さをpエピタキシャル層の厚さ以上とし、p⁺ソース打ち抜き層をウエハに到達させてpエピタキシャル層の低抵抗成分がn⁺ソース領域に入らないようにしなければならないため、p型不純物の拡散開始箇所からゲートの端部までの距離をp⁺ソース打ち抜き層の深さ以上とする必要がある。このため、単位LDMOsのピッチが大きくなり、ドレイン電流を確保するためには、ゲートフィンガー長を長くする必要がある。その結果、ゲートまたはドレイン配線電極の抵抗が増加し、また寄生インダクタンスまたは寄生容量が増加して、LDMOsの高周波特性を悪化させてしまう。

【0011】

次に、③p⁺ソース打ち抜き層の濃度を高くする方法では、上記②と同様に、p⁺ソース打ち抜き層を形成する際のp型不純物の拡散開始箇所をチャネル領域から離す必要があり、LDMOsの高周波特性を悪化させてしまう。

【0012】

本発明の目的は、LDMOsの高周波電力利得を向上させることのできる技術を提供することにある。

【0013】

また、本発明の目的は、チップ小型化により LDMOS の取得数を向上するとのできる技術を提供することにある。

【0014】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0015】**【課題を解決するための手段】**

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0016】

本発明は、p⁺型のシリコン基板上に素子形成領域および素子形成領域を囲むように配置されたスクライブ領域を有し、シリコン基板上の素子形成領域に形成されたp型の半導体層と、半導体層上に形成されたゲート絶縁膜と、ゲート絶縁膜上に形成されたゲート電極と、n⁺型半導体領域からなるソースと、第1不純物濃度を有するn⁻型半導体領域および第1不純物濃度より高濃度の第2不純物濃度を有し、n⁻型半導体領域よりゲート電極から離れた位置に設けられたn⁺型半導体領域からなるドレインと、チャネル領域が形成されるp型ウェルと、ソースと電気的に接続され、シリコン基板の裏面に形成された電極とを含む横型の電界効果トランジスタにおいて、シリコン基板の表面側の素子形成領域内に、シリコン基板と電気的に接続された評価用のソース電極パッドが形成されているものである。

【0017】

また、本発明は、p⁺型のシリコン基板上に形成されたp型の半導体層と、半導体層上に形成されたゲート絶縁膜と、ゲート絶縁膜上に形成されたゲート電極と、n⁺型半導体領域からなるソースと、第1不純物濃度を有するn⁻型半導体領域と、第1不純物濃度より高濃度の第2不純物濃度を有し、n⁻型半導体領域よりゲート電極から離れた位置に設けられたn⁺型半導体領域とからなるドレインと、チャネル領域が形成されるp型ウェルと、半導体層に形成され、ソースを構

成する n⁺型半導体領域とシリコン基板とを電気的に接続する p⁺型ソース打ち抜き層とを含む横型の電界効果トランジスタにおいて、ソースを構成する n⁺型半導体領域と p⁺型ソース打ち抜き層との間に半導体層の表面からシリコン基板に向かって溝が形成されているものである。

【0018】

【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。

【0019】

以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。また以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良い。さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

【0020】

（実施の形態1）

図1は、本実施の形態1である1チップに形成された1つの高周波パワートランジスタの一例を示す半導体基板の要部レイアウト図、図2は、LDMOSの一部を拡大した半導体基板の要部レイアウト図、図3は、図2のA-A'線およびB-B'線における半導体基板の要部断面図である。図2および図3に示す第1

LDMOST r_1 は繰り返しの最小単位であり、この単位素子である第1 LDMOST r_1 が複数個並列に接続されて、図1に示す1つ高周波パワートランジスタが構成されている。

【0021】

チップ1を構成する基板2は、例えば1～15mΩcm程度の比抵抗を有するp⁺型（第1導電型）のシリコン単結晶からなるシリコン基板（半導体基板）2a上に、例えば10μm程度の厚さのp型の半導体層（例えば、気相成長法などにより形成されるエピタキシャル層）2bが形成された構成を有している。半導体層2bには、p型ウェル3（第4半導体領域）が、例えばボロンなどのp型不純物をイオン注入法を用いて導入することにより形成されている。

【0022】

基板2の正面（すなわち半導体層2bの正面）には、第1 LDMOST r_1 が形成されている。第1 LDMOST r_1 のゲート絶縁膜4は、例えば熱酸化法などによって形成された酸化シリコン膜からなる相対的に薄い絶縁膜である。第1 LDMOST r_1 のゲート電極5は、例えば半導体層2bの主面上に形成された多結晶シリコン膜をリソグラフィ技術およびエッティング技術を用いてパターニングすることにより形成され、第1 LDMOST r_1 のチャネル領域（図示は省略）は、ゲート電極5の下のp型ウェル3の上部に形成される。

【0023】

第1 LDMOST r_1 のソースはn⁺型（第2導電型）半導体領域（第1半導体領域）6によって構成され、このn⁺型半導体領域6は、ゲート電極5の一方の端部にまで延びるような状態でp型ウェル3に形成されている。また第1 LDMOST r_1 のドレインはn⁻型半導体領域（第2半導体領域）7とn⁺型半導体領域（第3半導体領域）8によって構成される。n⁻型半導体領域7は、ゲート電極5の他方の端部にまで延びるような状態で形成され、n⁺型半導体領域8は、ゲート電極5からn⁻型半導体領域7分だけ離間して形成されている。n⁻型半導体領域7およびn⁺型半導体領域6, 8は、それぞれヒ素などのn型不純物をイオン注入法などを用いて導入することにより形成される。

【0024】

半導体層2bには、p⁺型ソース打ち抜き層9, 9aが、例えばボロンなどのp型不純物をイオン注入法などを用いて導入することにより形成されている。p⁺型ソース打ち抜き層（第6半導体領域）9は、ソースを構成するn⁺型半導体領域6に接して半導体層2bの表面からシリコン基板2aに到達している。またp⁺型ソース打ち抜き層9（第5半導体領域）aも半導体層2bからシリコン基板2aに到達しており、p⁺型ソース打ち抜き層9aは、後述するチップ1の表面側に設けられるプローブ検査用のソース電極パッドとシリコン基板2aとの間の半導体層2bに形成されている。

【0025】

半導体層2bの主面上には、ゲート電極5を覆うように、例えば酸化シリコン膜などからなる絶縁膜10が形成されている。絶縁膜10には、ソースを構成するn⁺型半導体領域6、ドレインを構成するn⁺型半導体領域8、p⁺型ソース打ち抜き層9, 9aおよびゲート電極5の引き出し部5aを露出するコンタクトホール11が形成されている。

【0026】

絶縁膜10の上層には、1層目の配線によってソースを構成するn⁺型半導体領域6とp⁺型ソース打ち抜き層9とを接続するソース電極12a、ドレインを構成するn⁺型半導体領域8に接続するドレイン電極12b、隣接する2つのゲート電極5に接続するゲート接続電極12cおよびp⁺型ソース打ち抜き層9aに接続するソース引き上げ電極12dが形成されている。これら電極12a～12dは、例えば絶縁膜10の上層に堆積したアルミニウム合金膜などの金属膜をリソグラフィ技術およびエッチング技術を用いてパターニングすることにより形成することができる。さらにこれら電極12a～12dを覆うように、例えば酸化シリコン膜などからなる絶縁膜13が形成されており、絶縁膜13には、ドレイン電極12b、ゲート接続電極12cおよびソース引き上げ電極12dを露出するコンタクトホール14が形成されている。

【0027】

絶縁膜13の上層には、2層目の配線によってp⁺型ソース打ち抜き層9aに

ソース引き上げ電極12dを介して電気的に接続するプローブ検査用のソース電極パッド15a、ドレイン電極12bに電気的に接続するドレイン電極パッド15b、ゲート電極5にゲート接続電極12cを介して電気的に接続するゲート電極パッド15cが形成されている。このように、ソース電極パッド15a、ドレイン電極パッド15b、ゲート電極パッド15cはチップ1の表面側に形成されていることから、1個1個のチップの良・不良を判定するプローブ検査工程において、プローブ（探針）を全てチップ1の表面側から接触させることができる。なおこれら電極パッド15a～15cは、例えば絶縁膜13の上層に堆積したアルミニウム合金膜などの金属膜をリソグラフィ技術およびエッチング技術を用いてパターニングすることにより形成することができる。

【0028】

さらに、これら電極パッド15a～15cを覆うように、パッシベーション膜16が形成されており、パッシベーション膜16には、電極パッド15a～15cを露出する開口部17が形成されている。またこれら電極パッド15a～15cは、ウエハを1個1個のチップ1に切り分ける際の切り代となる約 $100\mu\text{m}$ 程度の幅のスクライブ領域にではなく、スクライブ領域以外の領域、すなわちチップ1上の素子形成領域に形成される。

【0029】

シリコン基板2aの裏面（半導体層2bを形成した面と反対側の面）には、例えば金属膜からなる裏面電極18が形成されている。ソースを構成するn⁺型半導体領域6は、ソース電極12aおよびp⁺型ソース打ち抜き層9を介して裏面電極18と電気的に接続されており、この裏面電極18は、高周波パワートランジスタを駆動する際の第1LDMOST_{r1}のソース用の電極となる。すなわち、チップ1の表面側に設けられたソース電極パッド15aはプローブ検査に用いられ、裏面電極18はソース用の電極として高周波パワートランジスタの駆動に用いられる。

【0030】

なお、シリコン基板2の裏面に裏面電極18を形成する前に、シリコン基板2aを研削することにより、パッシベーション膜16の表面からシリコン基板2a

の裏面までの厚さを200μm以下としている。このように、シリコン基板2aの厚さを薄くすることにより、ソースの抵抗またはインダクタンスを低減することができる。またチップ1の表面側に設けられたプローブ検査用のソース電極パッド15aは、1層目または2層目の配線を引きまわすのではなく、半導体層2bに形成されたp⁺型ソース打ち抜き層9, 9aおよびシリコン基板2aを介してソース電極12と電気的に接続されているので、ソース電極パッド15aをチップ1の表面側に形成しても寄生容量の増加を抑えることができる。

【0031】

図4 (a) に、リソグラフィ技術の露光工程における1ショットのマトリックスを示し、図4 (b) に、1ショットにおいてスクライブ領域に設けられる各種パターンの配置図の一例を示す。図4 (b) 中、1は1つのチップ、SWはウエハ、SLはチップの周囲4辺に設けられ、ウエハを1個1個のチップに切り分ける際の切り代となるスクライブ領域である。ここで1ショットとは、リソグラフィ技術において、1回の露光でウエハ上に転写される領域を言い、通常1ショットで複数のチップ (図4 (b) では、1ショットで39個のチップ) が露光される。

【0032】

1ショットSTの最外周のスクライブ領域SLには、打ち消し防止パターン19、合わせマーク20、合わせ用パターン21、マスクQC用パターン (長寸法) 22、膜厚検査パターン23、SEM (Scanning Electron Microscope) 原点パターン24などが配置され、さらに1ショットST内のスクライブ領域SLには、マスクQC用パターン (小寸法) 25、TEG (Test Element Group) パターン26などが配置されている。しかし前記第1LDMOSt_{r1}で説明したように、本実施の形態1の高周波パワートランジスタでは、ソース電極パッドがスクライブ領域SL以外の領域、すなわち高周波パワートランジスタが形成されるチップ1上の素子形成領域に形成されるので、上記スクライブ領域SLに形成される上記各種パターンを削除することなく、全てのチップ1にソース電極パッドを形成することができる。

【0033】

次に、本実施の形態1である高周波パワートランジスタの第1のプローブ検査方法および第2のプローブ検査方法について説明する。まず、図5を用いて第1のプローブ検査方法を説明し、続いて図6を用いて第2のプローブ検査方法を説明する。

【0034】

第1のプローブ検査方法は、例えば以下のように行う。まず図5 (a) に示すように、ウエハ (LDMOSが作り込まれた複数のチップを配列した平面略円形の基板) 27を用意する。パッシベーション膜 (前記第1LDMOSTr₁での符号16) の表面からシリコン基板 (前記第1LDMOSTr₁での符号2a) の裏面までの厚さを200μm以下としていることから、4mm程度の反り (図5 (a) 中の距離L₀) が生じている。

【0035】

次に、図5 (b) に示すように、ウエハ27の裏面側に補強テープ28を貼り付けて、ウエハ27の反りを低減させる。補強テープ28は、例えばUVテープ (紫外線によって化学特性が変化するテープ) を例示することができる。次いで図5 (c) に示すように、プローブ検査装置29のステージ30上に補強テープ28を貼り付けたウエハ27を載せ、真空吸着によりウエハ27をステージ30に固定させる。この際、補強テープ28によってウエハ27の反りが低減されているので、真空吸着でウエハ27をステージ30に引き寄せても、ウエハ27がステージ30に強く当たらず、ウエハ27の割れを防ぐことができる。

【0036】

次に、図5 (d) に示すように、ウエハ27を搭載したステージ30をプローブ測定部31に移動させる。次いで図5 (e) に示すように、ウエハ27の表面側に形成されたソース電極パッド (前記第1LDMOSTr₁での符号15a) 、ドレイン電極パッド (前記第1LDMOSTr₁での符号15b) 、ゲート電極パッド (前記第1LDMOSTr₁での符号15c) にそれぞれプローブ31aを接触させて、1個1個のチップにおいて特性測定を行う。ウエハ27の裏面側には補強テープ28が貼り付けられているため、裏面電極18をソース用の電極として使えないが、これに代わってプローブ検査では、ウエハ27の表面側に

形成されたソース電極パッドを用いる。なお予め高周波パワートランジスタの全電極パッドの配置に合わせてプローブを配置したプローブカードを用いてもよい。

【0037】

次に、図5 (f) に示すように、測定が終了した後、ウエハ27を搭載したステージ30を、ウエハ27をセットした初めの箇所に移動する。次いで図5 (g) に示すように、ウエハ27は1個1個のチップに切り分けられた後（ダイシング工程）、補強テープ28から良品チップが剥がされて、さらにマウント工程、ボンディング工程を経て、良品チップがパッケージに封止される。ダイシング工程では、ウエハ27の裏面側に補強テープ28を貼り付けた状態で、補強テープ28の周辺部をキャリア治具32に接着、固定した後、ダイヤモンドブレード（ダイヤモンド微粒を貼り付けた極薄の円形刃）33などを使ってウエハ27をダイシングすることにより、ウエハ27をスクライブ領域に沿って縦横に切断し、チップを個片化する。従って、補強テープ28がダイシングテープを兼ねることができるため、補強テープ28を貼り付けた状態でウエハ27をプローブ検査装置29からダイシング装置へ搬送することができるので、ウエハ27の取り扱いが容易となり、またダイシングテープを貼り付ける作業が無くなり、ウエハ27を取り扱う工程が減るので、ウエハ27の割れを低減することができる。なおダイシングでは、ウエハ27はスクライブ領域に沿って切断されるが、ダシシング後もチップの周辺にスクライブ領域の一部は残っている。

【0038】

第2のプローブ検査方法は、例えば以下のように行う。まず前記図5 (a) ~ 図5 (f) に示した工程と同様に、ウエハ27の裏面側に補強テープ28を貼り付けて、ウエハ27の反りを低減させた後（図6 (b) ）、プローブ検査装置29のステージ30上に補強テープ28を貼り付けたウエハ27を載せ、真空吸着によりウエハ27をステージ30に固定させる（図6 (c) ）。次に、ウエハ27を搭載したステージ30をプローブ測定部31に移動させた後（図6 (d) ） 、ウエハ27の表面側に形成されたソース電極パッド（前記第1LDMOST_{r1}での符号15a）、ドレイン電極パッド（前記第1LDMOST_{r1}での符号1

5 b) 、ゲート電極パッド（前記第1 LDMOST r₁での符号15c）にそれぞれプローブ31aを接触させて、1個1個のチップにおいて特性測定を行う（図6（e））。ここでも裏面電極18に代わって、プローブ検査ではウエハ27の表面側に形成されたソース電極パッドを用いる。次に、測定が終了した後、ウエハ27を搭載したステージ30を、ウエハ27をセットした初めの箇所に移動する（図6（f））。

【0039】

次に、図6（g）に示すように、ウエハ27の裏面側から補強テープ28を剥がした後、図6（h）に示すように、ウエハ27の裏面側にダイシングテープ34を貼り付ける。その後、ウエハ27は1個1個のチップに切り分けられた後（ダイシング工程）、ダイシングテープ34から良品チップが剥がされて、さらにマウント工程、ボンディング工程を経て、良品チップがパッケージに封止される。ウエハ27の裏面側に貼り付けた補強テープ28を剥がし、ダイシングテープ34に貼り替えることにより、それぞれのテープ材質の選択度を増すことができる。

【0040】

図7は、本実施の形態1である1チップに形成された1つの高周波パワートランジスタの他の例を示す半導体基板の要部レイアウト図、図8は、LDMOSの一部を拡大した半導体基板の要部レイアウト図、図9は、図8のC-C'線およびD-D'線における半導体基板の要部断面図である。

【0041】

第2 LDMOST r₂は、前記第1 LDMOST r₁同様に、基板2上にp型ウエル3、ゲート絶縁膜4、ゲート電極5、n⁺型半導体領域6からなるソース、n⁻型半導体領域7およびn⁺型半導体領域8からなるドレイン、p⁺型ソース打ち抜き層9、9aによって構成されている。しかし、第2 LDMOST r₂では、1層目の配線によって各々の電極パッドが構成されている。

【0042】

すなわち、半導体層2bの正面に形成された絶縁膜10の上層には、1層目の配線によってソースを構成するn⁺型半導体領域6とp⁺型ソース打ち抜き層9と

を接続するソース電極35a、ドレインを構成するn⁺型半導体領域8に接続するドレイン電極パッド35b、ゲート電極5の引き出し部5aに接続するゲート電極パッド35cおよびp⁺型ソース打ち抜き層9aに接続するソース電極パッド35dが形成されており、電極パッド35b～35dが1層目の配線によってチップ1の表面側に形成される。なおこれら電極35aおよび電極パッド35b～35dは、例えば絶縁膜10の上層に堆積したアルミニウム合金膜などの金属膜をリソグラフィ技術およびエッチング技術を用いてパターニングすることにより形成することができる。

【0043】

なお、本実施の形態1では、ウエハ27を1個1個のチップに切り分ける際、ウエハ27をダイシング（スクライブ領域をダイヤモンドブレードで削る作業）したが、ウエハ27をスクライビング（スクライブ領域にブレードで傷を付けてウエハを割る作業）して、チップを個片化してもよい。

【0044】

このように、本実施の形態1によれば、ソースのインダクタンスまたは抵抗を下げるために、基板2の主面上に第1LDMOSTr₁, Tr₂を形成した後、シリコン基板2aの裏面を研削して、パッシベーション膜16の表面からシリコン基板2aの裏面までの厚さを200μm以下とするが、ウエハ27の裏面側（シリコン基板2aの裏面）に補強テープ28を貼り付けることにより、ウエハ27の真空吸着またはウエハ27の搬送などにおけるウエハ27の割れを低減することができる。またウエハ27の裏面側に補強テープ28を貼り付けた場合は、チップ1の表面側に設けたソース電極パッド15a, 35dを用いたプローブ検査が行われるが、1層目または2層目の配線を引きまわすのではなく、半導体層2bに形成したp⁺型ソース打ち抜き層9, 9aおよびシリコン基板2aを介してソースを構成するn⁺型半導体領域6とソース電極パッド15a, 35dとを電気的に接続するので、チップ1の表面側にソース電極パッド15a, 35dを設けることによる寄生容量の増加を抑えることができる。またソース電極パッド15a, 35dはスクライブ領域SL以外の領域、すなわちチップ1上の素子形成領域に形成されるので、スクライブ領域SLに配置される各種パターンを削除す

ることなく、全てのチップ1に対してソース電極パッド15a, 35dを提供することができる。

【0045】

(実施の形態2)

図10は、本実施の形態2であるLDMOsの一例を示す半導体基板の要部レイアウト図、図11は、図10のE-E'線およびF-F'線における要部断面図である。

【0046】

第3LDMOSt_{r3}は、前記実施の形態1の第1LDMOSt_{r1}とほぼ同じ構造であるが、p⁺型ソース打ち抜き層9を形成する際にp型不純物を拡散させる箇所と第3LDMOSt_{r3}のチャネル領域との間に半導体層2bの表面からシリコン基板2aに向かって深さ2μm以上の溝36が形成されている。この溝36は、p⁺型ソース打ち抜き層9を形成する前に形成されて、p⁺型ソース打ち抜き層9がチャネル領域へ広がるのを防ぐ働きをしている。なお溝36の内部には絶縁膜37または導体膜（例えばタンクスチタンまたは多結晶シリコン）が埋め込まれている。

【0047】

また、第3LDMOSt_{r3}は、前記実施の形態1の第1LDMOSt_{r1}と同様に、パッシベーション膜16の表面からシリコン基板2aの裏面の厚さを200μm以下としており、これにより、ソースのインダクタンスまたは抵抗を低減することができる。

【0048】

図12に、溝を形成したLDMOsおよび溝を形成しないLDMOsのドレン電流(I_d)とゲート電圧(V_{gs})との関係をシミュレーションで求めた結果を示す。図中に挿入したLDMOsの概略断面図に示すように、溝36を形成したLDMOsでは、ゲート電極5の端部から約4μm程度離れた箇所からp⁺型ソース打ち抜き層を形成するためのp型不純物が導入され、溝36を形成しないLDMOsでは、ゲート電極5の端部から約7μm程度離れた箇所からp⁺型ソース打ち抜き層を形成するためのp型不純物が導入されている。また溝36の

深さは $2 \mu\text{m}$ 、その幅は $1.8 \mu\text{m}$ 、半導体層 2b の厚さは $10 \mu\text{m}$ とした。図からわかるように、溝を形成したLD MOSのドレイン電流は、溝を形成しないLD MOSのドレイン電流よりも大きくなり、溝を形成したLD MOSでは、溝を形成しないLD MOSよりも、 $I_d = (2.5 \text{ A} - 2.0 \text{ A}) / \Delta V_{ds}$ での g_m を20%程度増加することができる。

【0049】

図13に、溝を形成したLD MOSおよび溝を形成しないLD MOSのドレイン電流(I_d)とドレイン電圧(V_{ds})との関係をシミュレーションで求めた結果を示す。LD MOSの構造は、前記図12に挿入したLD MOSの概略断面図と同じである。図からわかるように、溝を形成したLD MOSでは、溝を形成しないLD MOSよりも、 $I_d = 2.5 \text{ V}$ での R_{on} を24.5%程度低減することができ、また飽和電流を3.2%程度増加することができる。

【0050】

このように、溝を設けることにより p^+ 型ソース打ち抜き層のチャネル領域への広がりを抑えることができるので、単位LD MOSのセルピッチを増大させることなく、 p^+ 型ソース打ち抜き層を広げるまたは p^+ 型ソース打ち抜き層の不純物濃度を高くすることができる。これにより、ソースのインダクタンスまたは抵抗を下げて、高周波電力利得を向上させることができる。

【0051】

また、溝を設けることにより、単位LD MOSのセルピッチを縮小して、チップをシュリンクすることができる。以下、図14および図15を用いて、チップシュリンクについて説明する。なお図14および図15においてX方向とはゲート長方向であり、Y方向とはゲート幅方向である。

【0052】

図14(a)に、溝を形成しないLD MOSの要部レイアウト図、図14(b)に溝を形成したLD MOSの要部レイアウト図を示す。図14(a)に示す溝を形成しないLD MOSのレイアウトでは、ゲート電極5が4本あり、ゲート幅を L_1 とすると、レイアウト全体のゲート幅 W_g は $(4 \times L_1) \mu\text{m}$ となる。次に、ゲート幅 W_g を変えずに溝を形成したLD MOSを配置して、チップシュリン

クを考える。まず溝を形成したLDMOsでは、溝によってp⁺型ソース打ち抜き層の広がりが抑えられるので、X方向のシュリンクが可能となる。さらにX方向がシュリンクされると、図14（b）に示すように、溝を形成したLDMOsのレイアウトでは、ゲート電極5を例えば、6本配置することができて、ゲート幅をL₂とすると、レイアウト全体のゲート幅W_gは（6×L₂）μmとなる。ゲート幅W_gは変わらないことから、4×L₁=6×L₂の関係が成り立ち、L₂=（2/3）L₁となって、L₂はL₁よりも小さくなる。すなわち、X方向をシュリンクすることによって、Y方向をもシュリンクすることが可能となる。

【0053】

図15（a）に、多段に配置した溝を形成しないLDMOsの要部レイアウト図、図15（b）に、多段に配置した溝を形成したLDMOsの要部レイアウト図を示す。図15（a）に示した単位セルあたりのゲート幅W_uをa μmとすると、図15（a）のレイアウト全体のゲート幅W_uは、（12×a）μmとなる。図15（b）に示す溝を形成したLDMOsでは、溝を設けることによってp⁺型ソース打ち抜き層の広がりが抑えられるので、X方向のシュリンクが可能となる。従って、溝を形成しないLDMOsおよび溝を形成したLDMOsのチップ全体のX方向が同じであれば、溝を形成したLDMOsでX方向をシュリンクし、空いた領域にLDMOs（例えば、図15（a）の下1列の4つのLDMOs）を配置することにより、同じゲート幅W_u（（12×a）μm）を実現できる。これにより、Y方向を縮めることができる。

【0054】

次に、前記第3LDMOSt_r3の第1の製造方法を図16～図18に示す半導体基板の要部断面図を用いて工程順に説明する。

【0055】

まず、図16（a）に示すように、基板2を用意する。この段階の基板2は平面略円形状の部材からなり、シリコン基板2aと、その正面に形成された半導体層2bとを有している。シリコン基板2aは、例えばチョクラルスキー法などのような結晶引き上げ法により形成されたp⁺型のシリコン単結晶からなり、その抵抗率は、例えば1～15mΩcmであり、半導体層2bは、例えばエピタキシ

ヤル法により形成されたp型のシリコン単結晶からなり、その厚さは、例えば10 μm 程度である。

【0056】

次に、基板2を熱酸化して半導体層2bの表面に厚さ0.01 μm 程度の薄い酸化シリコン膜38を形成し、次いでその上層にCVD (Chemical Vapor Deposition) 法で厚さ0.1 μm 程度の塗化シリコン膜39を堆積する。この後、レジストパターンをマスクとして塗化シリコン膜39、酸化シリコン膜38および半導体層2bを順次エッティングすることにより、半導体層2bに深さ2 μm 、幅1.8 μm 程度の溝36を形成する。

【0057】

次に、図16 (b) に示すように、半導体層2b上にCVD法で絶縁膜37、例えば酸化シリコン膜を堆積した後、絶縁膜37をCMP (Chemical Mechanical Polishing) 法で研磨して、溝36の内部に絶縁膜37を残す。続いて基板2を熱処理することにより、溝36に埋め込んだ絶縁膜37を焼き締めする。その後、熱リン酸を用いて塗化シリコン膜39を除去し、続いてフッ酸系の水溶液を用いて酸化シリコン膜38を除去する。

【0058】

次に、図17 (a) に示すように、半導体層2bの主面上にリソグラフィ技術によりレジストパターン40を形成した後、そのレジストパターン40をマスクとして、p型不純物、例えばボロンをドーズ量 10^{16} cm^{-2} 台、エネルギー100 keVの条件で半導体層2bに選択的にイオン注入する。続いて図17 (b) に示すように、基板2に、例えば1200°C、70分の熱処理を施すことにより、p⁺型ソース打ち抜き層9, 9aを形成する。このp⁺型ソース打ち抜き層9, 9aは、半導体層2bの表面からシリコン基板2aまで達するように形成されており、シリコン基板2aと電気的に接続される。

【0059】

次に、図18 (a) に示すように、半導体層2bの一部を覆うレジストパターンをマスクとして、p型不純物、例えばボロンをドーズ量 10^{13} cm^{-2} 台、エネルギー60 keVの条件で半導体層2bに選択的にイオン注入した後、基板2に

例えば1000°C、30分の熱処理を施すことにより、p型ウェル3を形成する。p型ウェル3は、第3LDMOSTr3のチャネル領域となる部分もある。

【0060】

次に、基板2に対して洗浄処理を施し、半導体層2bの正面の清浄面を露出させた状態で、例えばウェット酸化処理を施すことにより、半導体層2bの活性領域の表面に、例えば厚さ10～50nm程度の酸化シリコンからなるゲート絶縁膜4を形成する。続いて基板2の正面に、例えば低抵抗な多結晶シリコンなどの導体膜をCVD法により堆積した後、これをレジストパターンをマスクとしたドライエッチングによりパターニングすることにより、導体膜からなるゲート電極5を形成する。

【0061】

次に、基板2の正面にドレインが形成される領域が露出され、それ以外が覆われるようなレジストパターンをマスクとして、n型不純物、例えばヒ素またはリンを半導体層2bにイオン注入することにより、ドレインの一部を構成するn-型半導体領域7を形成する。n-型半導体領域7は、その端部がゲート電極5のドレイン側端部に重なる（ほぼ一致する）ように形成されている。その後、基板2に対して熱処理を施す。

【0062】

次に、基板2の正面に、ソースおよびドレインの他の一部が形成される領域が露出され、それ以外が覆われるようなレジストパターンをマスクとして、n型不純物、例えばヒ素をイオン注入することにより、ソースを構成するn+型半導体領域6およびドレインの他の一部を構成するn+型半導体領域8を形成する。

ドレインの他の一部を構成するn+型半導体領域8は、その端部が上記n-型半導体領域7分だけゲート電極5から離れた位置に形成されている。またソースを構成するn+型半導体領域6は、その端部がゲート電極5のソース側端部に重なる（ほぼ一致する）ように形成されている。このn+型半導体領域6、8を形成する時のイオン注入条件は、例えばドーズ量10¹⁵cm⁻²台程度、エネルギー80keVである。その後、基板2に対して熱処理を施す。

【0063】

次に、図18（b）に示すように、基板2の主面上に、例えば酸化シリコンなどからなる絶縁膜10をCVD法により堆積する。続いて絶縁膜10にソースを構成するn⁺型半導体領域6、ドレインを構成するn⁺型半導体領域8、p⁺型ソース打ち抜き層9、9aおよびゲート電極5の引き出し部を露出するコンタクトホール11をリソグラフィ技術およびエッチング技術により形成する。次いで、基板2の主面上に金属膜、例えばアルミニウム合金膜をスパッタリング法により堆積する。続いてその金属膜をリソグラフィ技術およびエッチング技術によりパターニングすることにより、1層目の配線によってソースを構成するn⁺型半導体領域6とp⁺型ソース打ち抜き層9とを接続するソース電極12a、ドレインを構成するn⁺型半導体領域8に接続するドレイン電極12b、隣接する2つのゲート電極5に接続するゲート接続電極12cおよびp⁺型ソース打ち抜き層9aに電気的に接続するソース引き上げ電極12dを形成する。

【0064】

次に、基板2の主面上に、例えば酸化シリコンなどからなる絶縁膜13をCVD法により堆積する。続いて絶縁膜13にドレイン電極12b、ゲート接続電極12cおよびソース引き上げ電極12dを露出するコンタクトホール14をリソグラフィ技術およびエッチング技術により形成する。次いで、基板2の主面上に金属膜、例えばアルミニウム合金膜をスパッタリング法によりパターニングすることにより、2層目の配線によってソース引き上げ電極12dに電気的に接続するソース電極パッド15a、ドレイン電極12bに電気的に接続するドレイン電極パッド15b、ゲート接続電極12cに電気的に接続するゲート電極パッド15cを形成する。その後、基板2の主面上をパッシベーション膜で覆い、そのパッシベーション膜に、電極パッド15a～15cを露出する開口部を形成する。これにより、前記第3LDMOSL₃が略完成する。

【0065】

次に、前記第3LDMOST_{r3}の第2の製造方法を図19～図21に示す半導体基板の要部断面図を用いて工程順に説明する。

【0066】

まず、図19（a）に示すように、前記図16（a）を用いて説明した製造方

法と同様にして、シリコン基板2aと、その主面に形成された半導体層2bとを有する基板2を用意し、半導体層2bに溝36を形成する。

【0067】

次に、図19(b)に示すように、半導体層2bの主面上にリソグラフィ技術によりレジストパターン41を形成した後、そのレジストパターン41をマスクとして、p型不純物、例えばボロンをドーズ量 10^{16} cm^{-2} 台、エネルギー100keVの条件で半導体層2bに選択的にイオン注入する。続いて図20(a)に示すように、基板2に、例えば1200°C、70分の熱処理を施すことにより、p+型ソース打ち抜き層9、9aを形成する。

【0068】

次に、図20(b)に示すように、半導体層2b上にCVD法で絶縁膜37、例えば酸化シリコン膜を堆積した後、絶縁膜37をCMP法で研磨して、溝36の内部に絶縁膜37を残す。続いて基板2を熱処理することにより、溝36に埋め込んだ絶縁膜37を焼き締めする。その後、前記図18を用いて説明した製造方法と同様にして、前記第3LDMOSt_{r3}を形成する。

【0069】

次に、本実施の形態2であるLDMOsの他の例を図21、図22および図23に示す半導体基板の要部レイアウト図を用いて説明する。図21に第4LDMOSt_{r4}、図22に第5LDMOSt_{r5}、図23に第6LDMOSt_{r6}を示す。

【0070】

まず、図21に示す第4LDMOSt_{r4}は、前記実施の形態1の第2LDMOSt_{r2}に、前記第3LDMOSt_{r3}と同様のp+型ソース打ち抜き層9を囲む溝36を設けている。

【0071】

図22に示す第5LDMOSt_{r5}は、前記第3LDMOSt_{r3}と同様のp+型ソース打ち抜き層9を囲む溝36を設けているが、ソースを構成するn+型半導体領域は、1層目の配線からなるソース電極42aを介してチップの表面側に設けられたソース電極パッド15aに電気的に接続されている。すなわち、1層

目の配線によってソースを構成する n⁺型半導体領域と p⁺型ソース打ち抜き層 9 とを接続するソース電極 42a、ドレインを構成する n⁺型半導体領域に接続するドレイン電極 42b およびゲート電極 5 の引き出し部 5a に接続するゲート接続電極 42c が形成されており、ソース電極 42a がコンタクトホール 43 を通して 2 層目の配線によって構成されるソース電極パッド 15a に接続されている。

【0072】

図 23 に示す第 6 LDMOST r₆ は、 p⁺型ソース打ち抜き層 9 の周辺を全て囲まずに、ソースを構成する n⁺型半導体領域と平行する領域のみに溝 36 を設けている。

【0073】

なお、本実施の形態 2 では、プローブ検査用のソース電極パッド 15a を全てチップ 1 の表面側に設けたが、チップ 1 の表面側に設けずに、シリコン基板 2a の裏面に形成する裏面電極 18 をプローブ検査時のソース用の電極としてもよい。この場合、前記実施の形態 1 で用いた補強テープ 28 をウエハ 27 の裏面側に貼り付けることができないが、本実施の形態 2 では、 p⁺型ソース打ち抜き層 9 の不純物濃度を高くして、ソースのインダクタまたは抵抗を下げることができる。基板の厚さが 240 μm 程度であっても高周波電力利得の低下を防止することができる。

【0074】

図 24 に、裏面電極をプローブ検査時のソース用の電極とした LDMOS の一例である半導体基板の要部レイアウト図、図 25 に、図 24 の G-G' 線および H-H' 線における半導体基板の要部断面図を示す。

【0075】

第 7 LDMOST r₇ に形成される p⁺型ソース打ち抜き層 9 は、半導体層 2b の主面からシリコン基板 2 に達しており、前記第 3 LDMOST r₃ と同様に、 p⁺型ソース打ち抜き層 9 を形成する際に p 型不純物を拡散させる箇所とチャネル領域との間に半導体層 2b の表面からシリコン基板 2a に向かって深さ 2 μm 以上の溝 36 が形成されている。しかし、第 7 LDMOST r₇ では、チップ 1

の表面側にプローブ検査用のソース電極パッドは形成されないことから、前記第3 L DMOS T r₃において設けられたp⁺型ソース打ち抜き層9a、ソース引き上げ電極12dおよびソース電極パッド15aは形成されない。

【0076】

このように、本実施の形態2によれば、p⁺型ソース打ち抜き層9を形成する際にp型不純物を拡散させる箇所とL DMOSのチャネル領域との間に半導体層2bの表面からシリコン基板2aに向かって溝36を形成することにより、p⁺型ソース打ち抜き層9のチャネル領域への広がりを抑えることができる。これにより、単位L DMOSのセルピッチを増大させることなく、p⁺型ソース打ち抜き層9を広げるまたはp⁺型ソース打ち抜き層9の不純物濃度を高くすることができますので、ソースのインダクタンスまたは抵抗を下げて、高周波電力利得を向上させることができる。さらに単位L DMOSのセルピッチを縮小できることから、チップシュリンクが可能となる。

【0077】

以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【0078】

例えば、前記実施の形態では、本発明をnチャネル型のL DMOSに適用した場合について説明したが、pチャネル型のL DMOSにも適用することが可能である。

【0079】

【発明の効果】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0080】

トランジスタの特性、特に高周波利得を向上させることが出来る。さらに、トランジスタおよびチップの小型化を図ることが出来る。

【図面の簡単な説明】

【図1】

本実施の形態1である1チップに形成された1つの高周波パワートランジスタの一例を示す半導体基板の要部レイアウト図である。

【図2】

図1のLDMOSの一部を拡大した半導体基板の要部レイアウト図である。

【図3】

図2のA-A'線およびB-B'線における半導体基板の要部断面図である。

【図4】

(a) は、リソグラフィ技術の露光工程における1ショットのマトリックス、
(b) は、1ショットにおける各パターンの配置図である。

【図5】

本実施の形態1である高周波パワートランジスタの第1のプローブ検査方法を示す図である。

【図6】

本実施の形態1である高周波パワートランジスタの第2のプローブ検査方法を示す図である。

【図7】

本実施の形態1である1チップに形成された1つの高周波パワートランジスタの他の例を示す半導体基板の要部レイアウト図である。

【図8】

図7のLDMOSの一部を拡大した半導体基板の要部レイアウト図である。

【図9】

図8のC-C'線およびD-D'線における半導体基板の要部レイアウト図である。

【図10】

本実施の形態2であるLDMOSの一例を示す半導体基板の要部レイアウト図である。

【図11】

図10のE-E'線およびF-F'線における半導体基板の要部断面図である

【図12】

溝を形成したLDMOSおよび溝を形成しないLDMOSのドレイン電流とゲート電圧との関係をシミュレーションで求めた結果を示すグラフ図である。

【図13】

溝を形成したLDMOSおよび溝を形成しないLDMOSのドレイン電流とドレイン電圧との関係をシミュレーションで求めた結果を示すグラフ図である。

【図14】

(a) は、溝を形成しないLDMOSの要部レイアウト図、(b) は、溝を形成したLDMOSの要部レイアウト図である。

【図15】

(a) は、多段に配置した溝を形成しないLDMOSの要部レイアウト図、(b) は、多段に配置した溝を形成したLDMOSの要部レイアウト図である。

【図16】

本実施の形態2であるLDMOSの第1の製造方法を工程順に示す半導体基板の要部断面図である。

【図17】

本実施の形態2であるLDMOSの第1の製造方法を工程順に示す半導体基板の要部断面図である。

【図18】

本実施の形態2であるLDMOSの第1の製造方法を工程順に示す半導体基板の要部断面図である。

【図19】

本実施の形態2であるLDMOSの第2の製造方法を工程順に示す半導体基板の要部断面図である。

【図20】

本実施の形態2であるLDMOSの第2の製造方法を工程順に示す半導体基板の要部断面図である。

【図21】

本実施の形態2であるLDMOSの他の例を示す半導体基板の要部レイアウト図である。

【図22】

本実施の形態2であるLDMOSの他の例を示す半導体基板の要部レイアウト図である。

【図23】

本実施の形態2であるLDMOSの他の例を示す半導体基板の要部レイアウト図である。

【図24】

プローブ検査用のソース電極をシリコン基板としたLDMOS Tの一例を示す半導体基板の要部レイアウト図である。

【図25】

図24のG-G'線およびH-H'線における半導体基板の要部断面図である。

【符号の説明】

- 1 チップ
- 2 基板
- 2 a シリコン基板（半導体基板）
- 2 b 半導体層
- 3 p型ウェル（第4半導体領域）
- 4 ゲート絶縁膜
- 5 ゲート電極
- 5 a ゲート電極の引き出し部
- 6 n⁺型半導体領域（第1半導体領域）
- 7 n⁻型半導体領域（第2半導体領域）
- 8 n⁺型半導体領域（第3半導体領域）
- 9 p⁺型ソース打ち抜き層（第6半導体領域）
- 9 a p⁺型ソース打ち抜き層（第5半導体領域）
- 10 絶縁膜

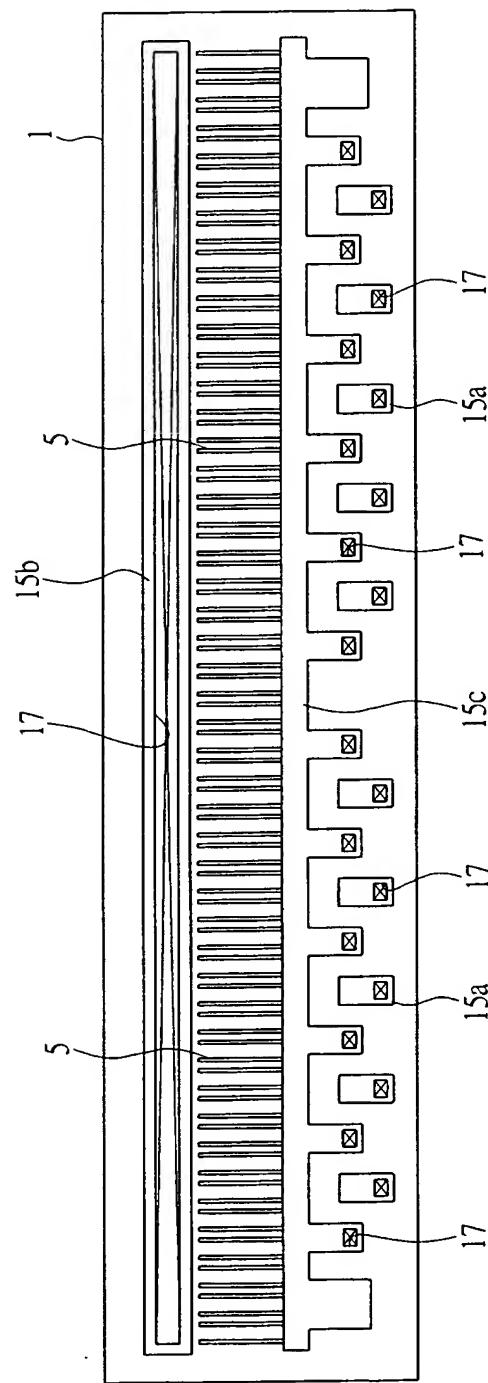
- 1 1 コンタクトホール
- 1 2 a ソース電極
- 1 2 b ドレイン電極
- 1 2 c ゲート接続電極
- 1 2 d ソース引き上げ電極
- 1 3 絶縁膜
- 1 4 コンタクトホール
- 1 5 a ソース電極パッド
- 1 5 b ドレイン電極パッド
- 1 5 c ゲート電極パッド
- 1 6 パッシベーション膜
- 1 7 開口部
- 1 8 裏面電極
- 1 9 打ち消し防止パターン
- 2 0 合わせマーク
- 2 1 合わせ用パターン
- 2 2 マスクQC用パターン（長寸法）
- 2 3 膜厚検査パターン
- 2 4 SEM原点パターン
- 2 5 マスクQC用パターン（小寸法）
- 2 6 TEGパターン
- 2 7 ウエハ
- 2 8 補強テープ
- 2 9 プローブ検査装置
- 3 0 ステージ
- 3 1 プローブ測定部
- 3 1 a プローブ
- 3 2 キャリア治具
- 3 3 ダイヤモンドブレード

3 4 ダイシングテープ
3 5 a ソース電極
3 5 b ドレイン電極パッド
3 5 c ゲート電極パッド
3 5 d ソース電極パッド
3 6 溝
3 7 絶縁膜
3 8 酸化シリコン膜
3 9 窒化シリコン膜
4 0 レジストパターン
4 1 レジストパターン
4 2 a ソース電極
4 2 b ドレイン電極
4 2 c ゲート接続電極
4 3 コンタクトホール
S T 1ショット
S L スクライブ領域
S W ウエハ
T r 1 第1LDMOS
T r 2 第2LDMOS
T r 3 第3LDMOS
T r 4 第4LDMOS
T r 5 第5LDMOS
T r 6 第6LDMOS
T r 7 第7LDMOS

【書類名】 図面

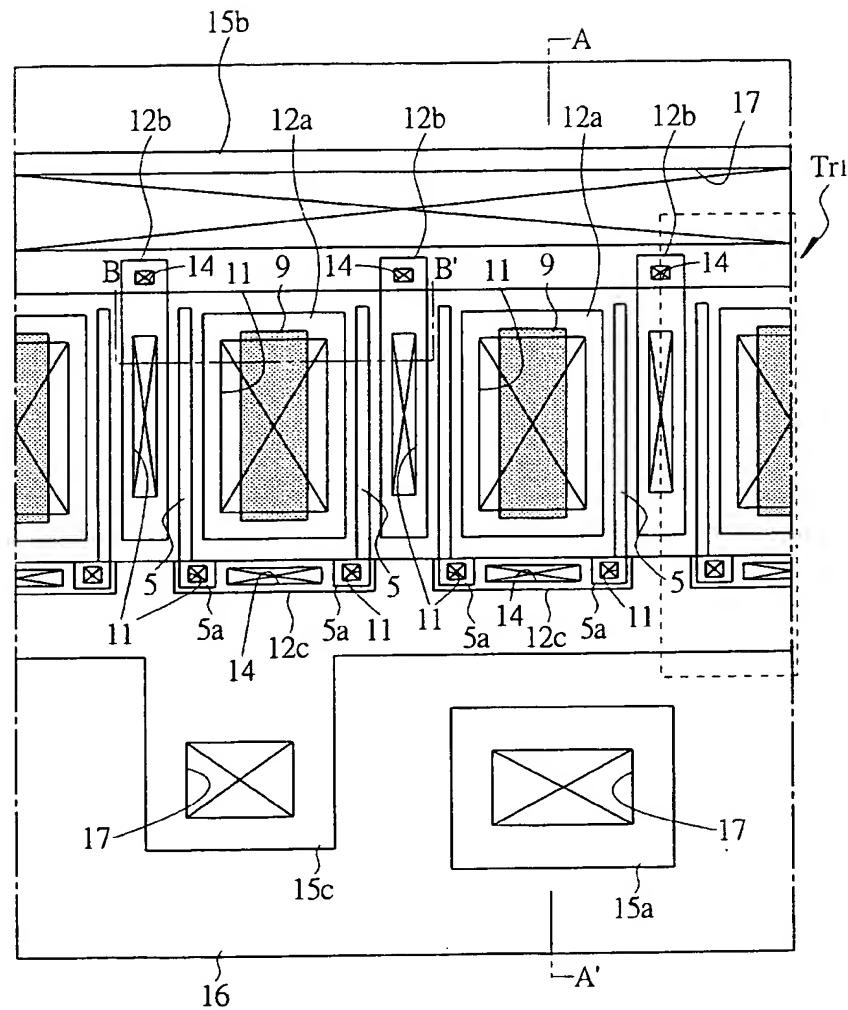
【図 1】

図 1

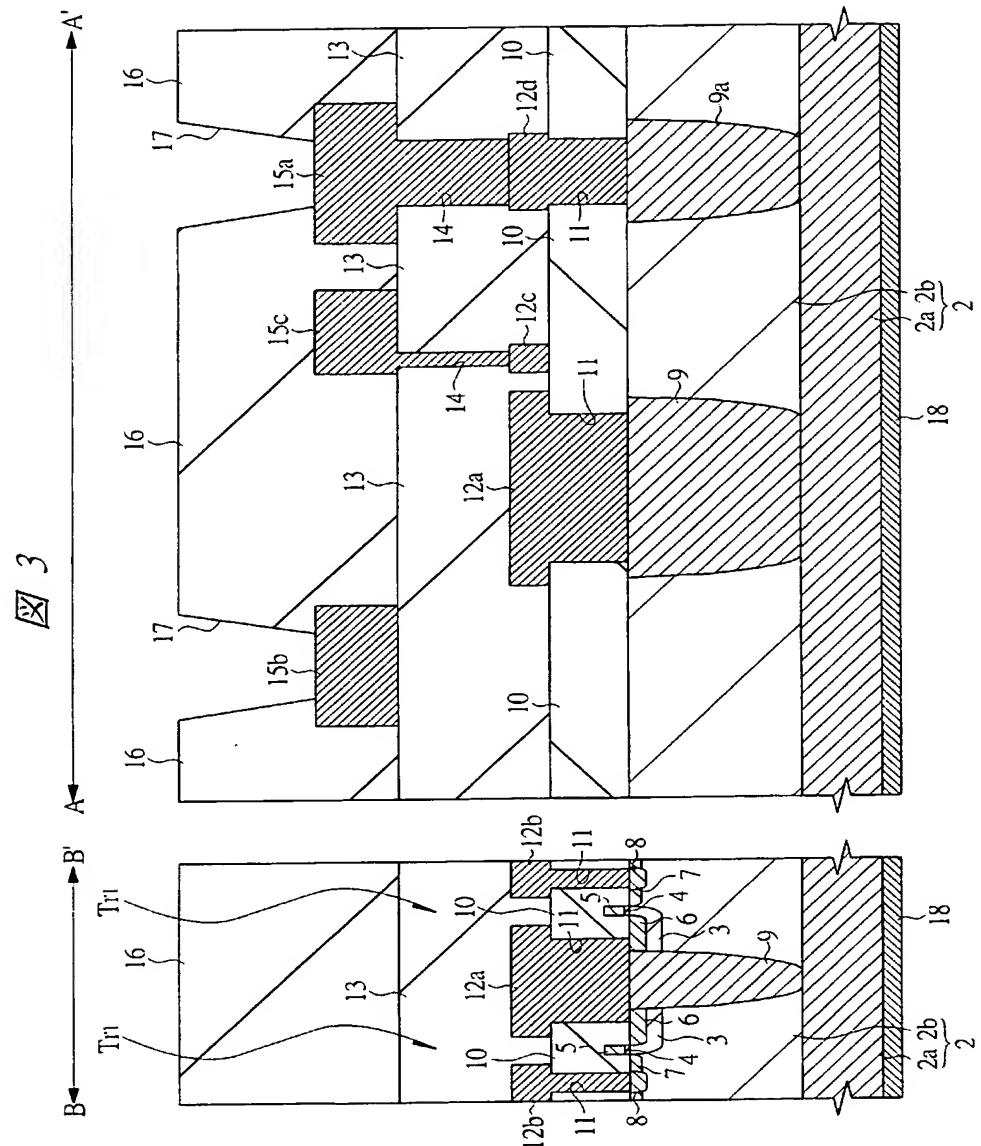


【図2】

図2



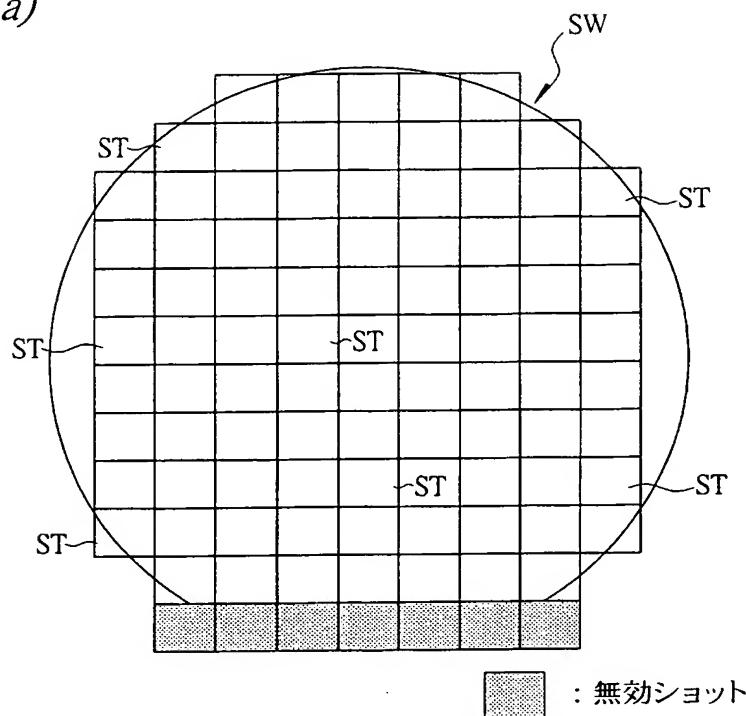
【図3】



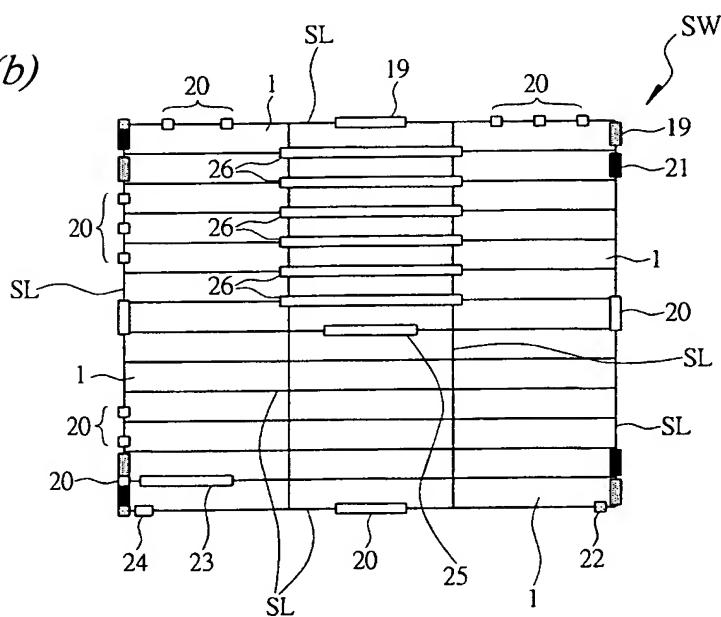
【図 4】

図 4

(a)

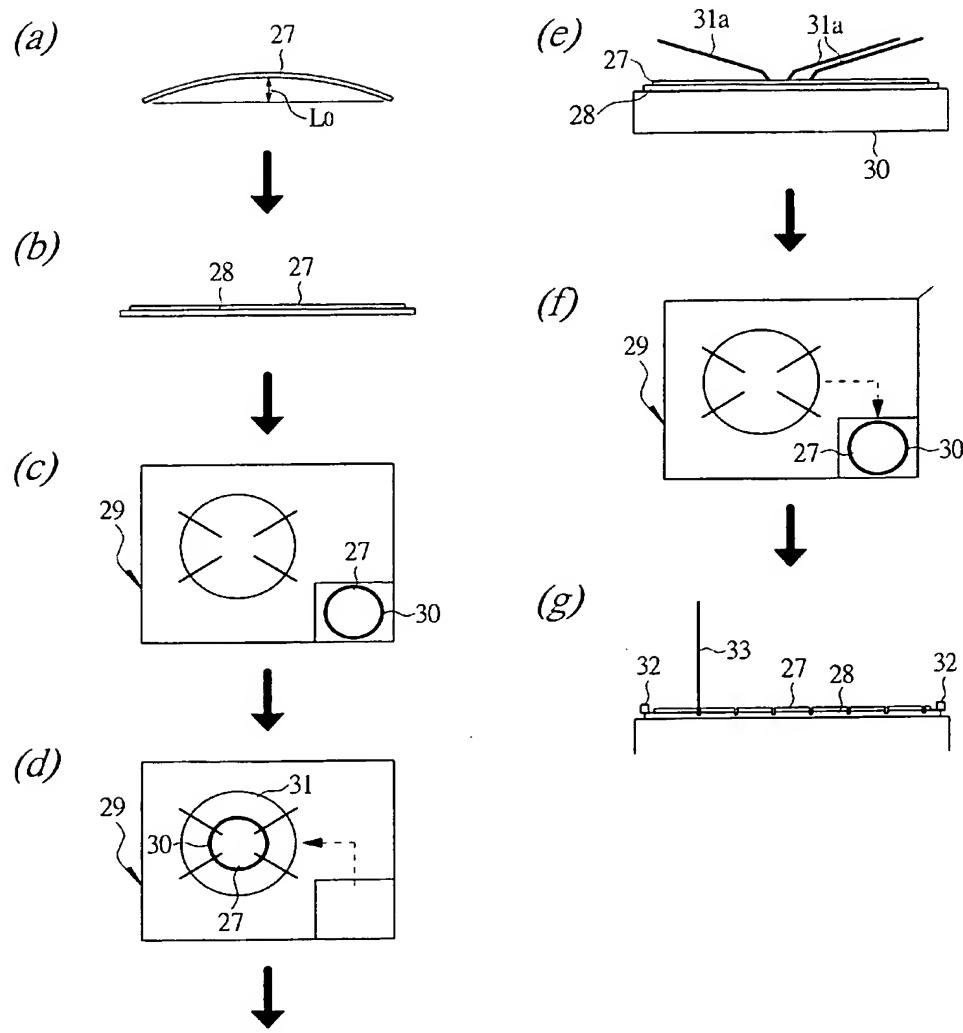


(b)



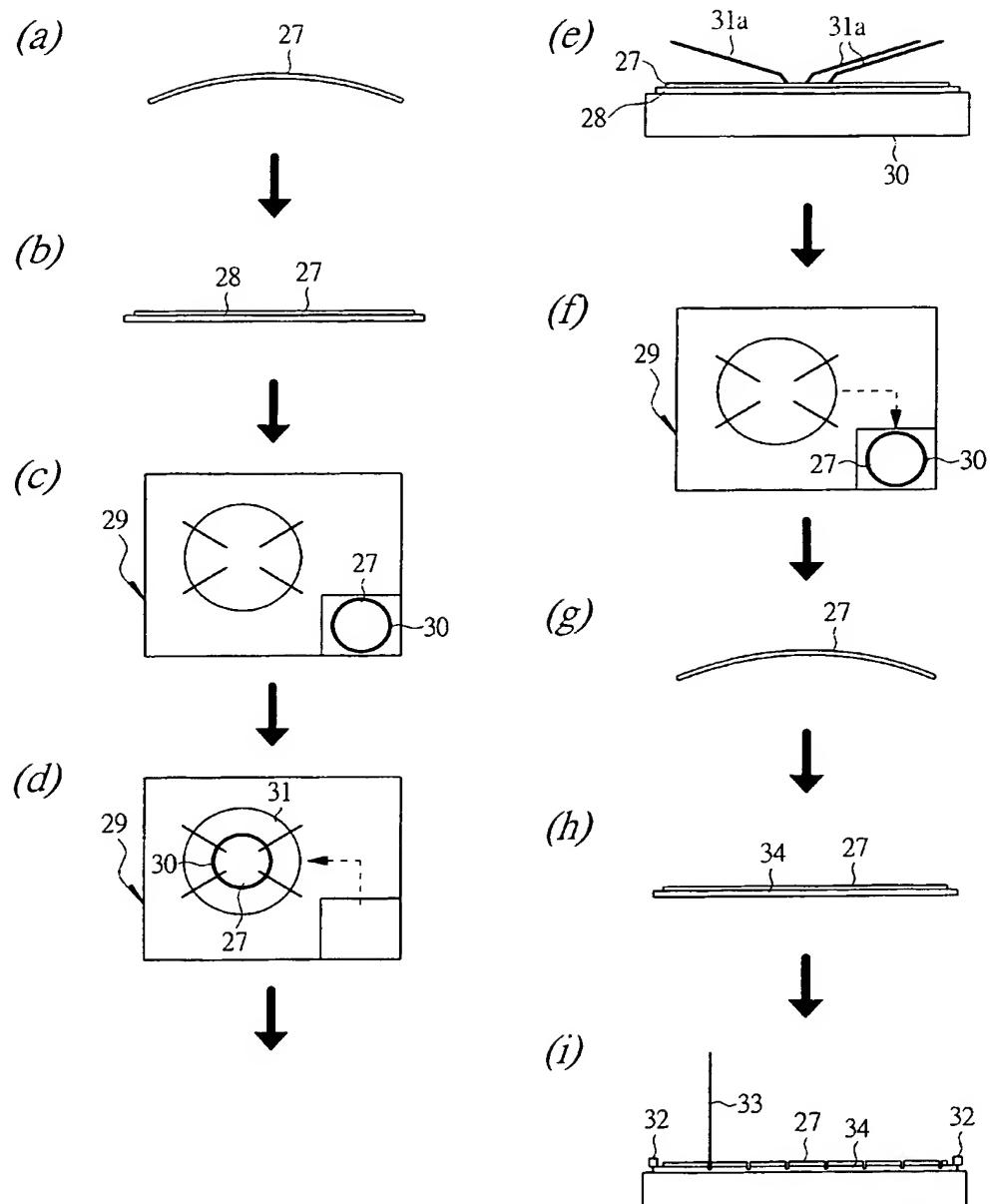
【図5】

図 5



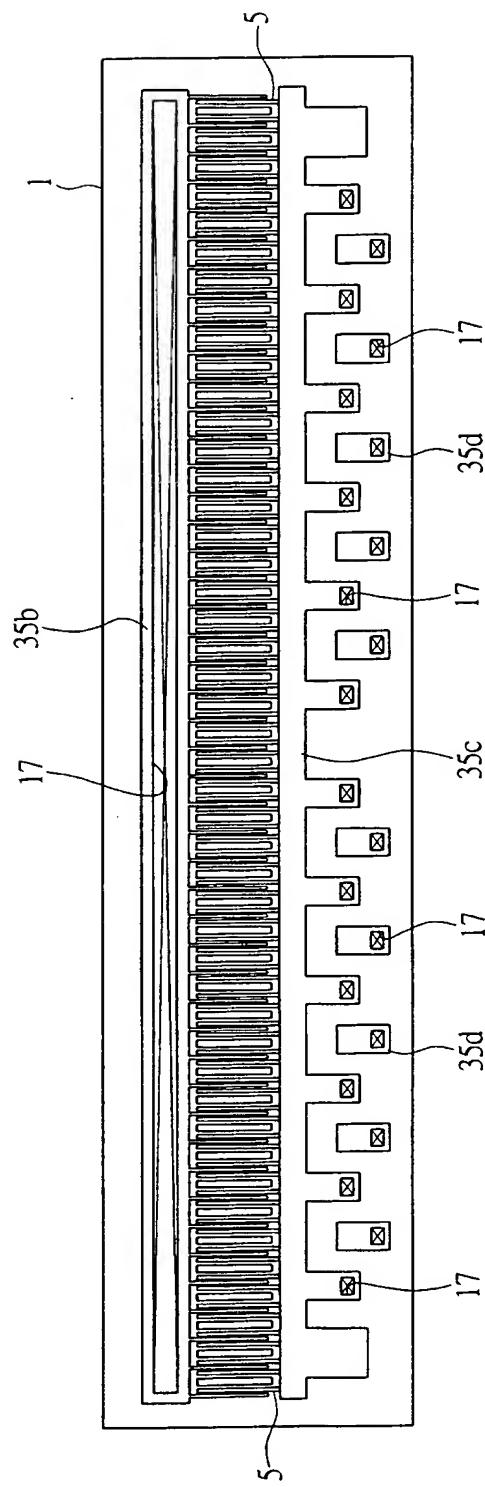
【図6】

図 6



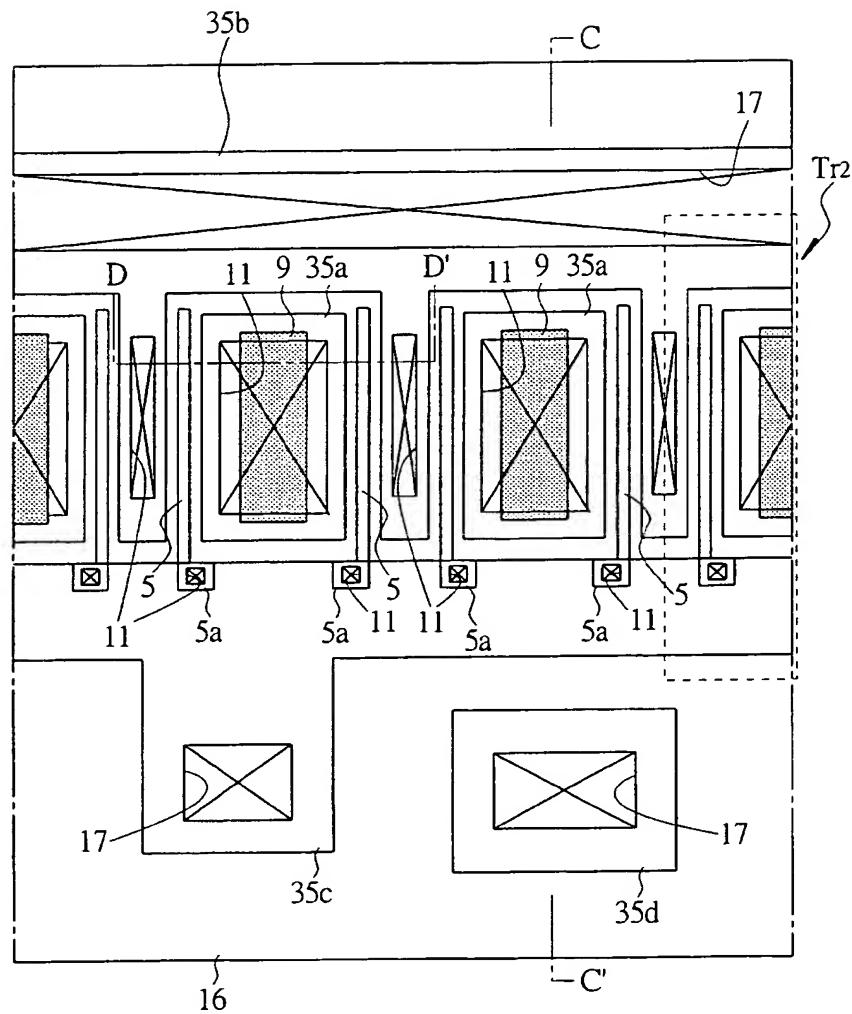
【図 7】

図 7

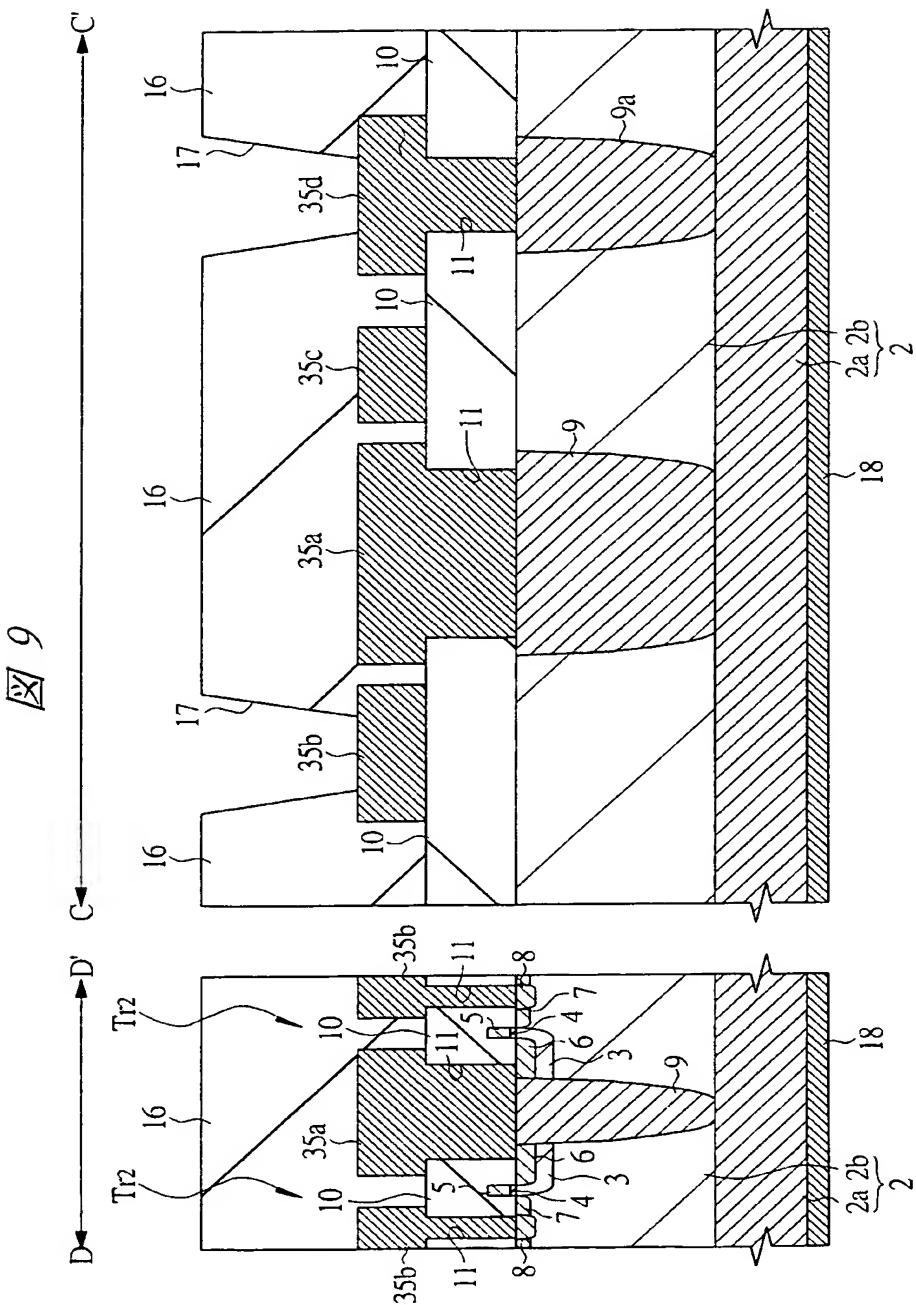


【図8】

図 8

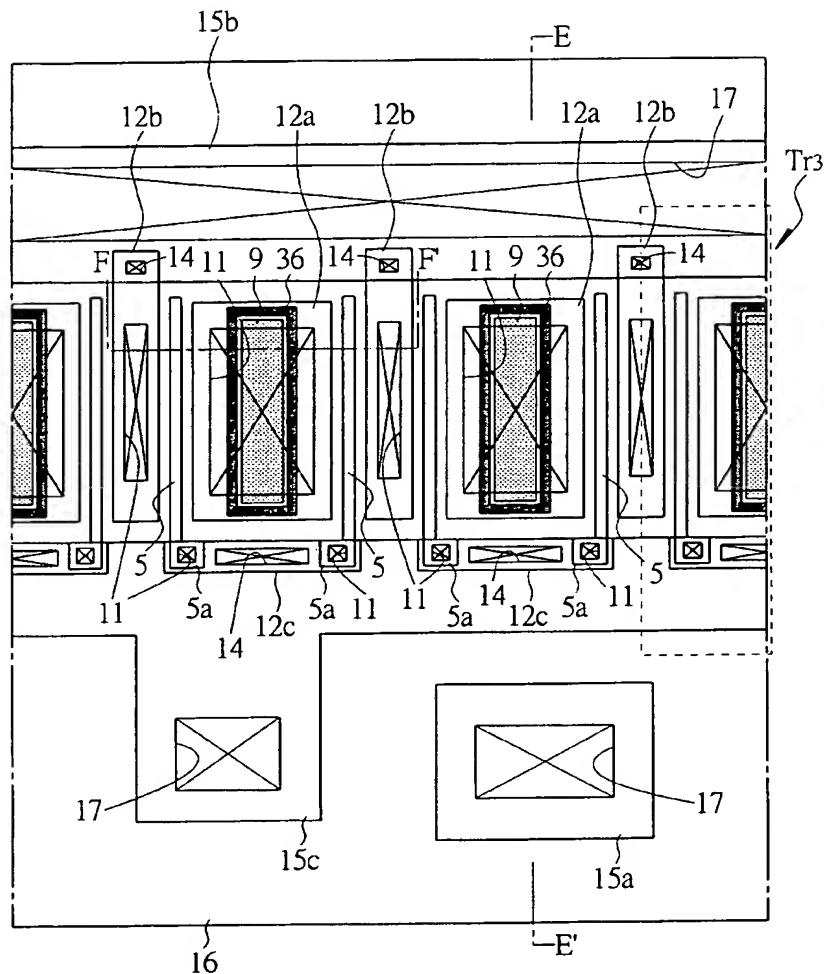


【図9】



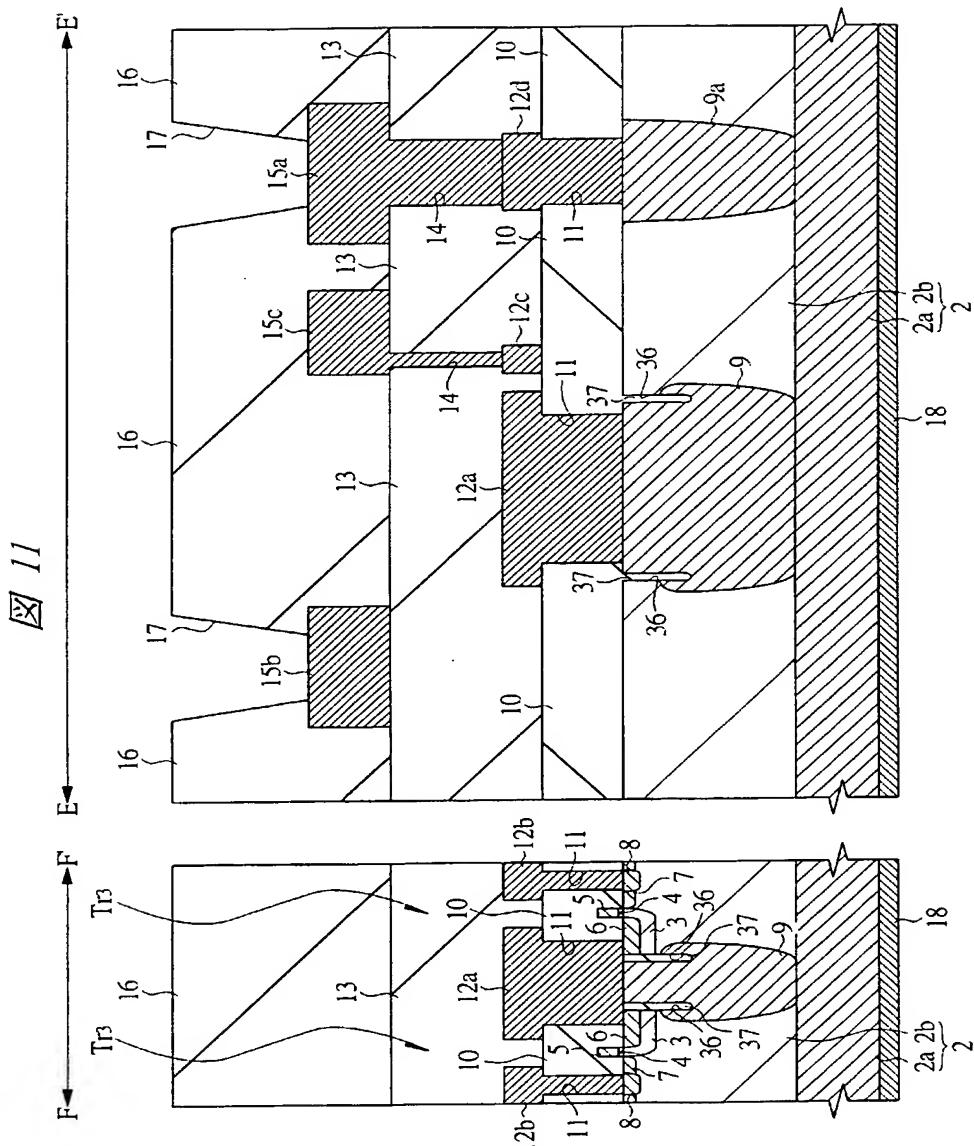
【図10】

図 10

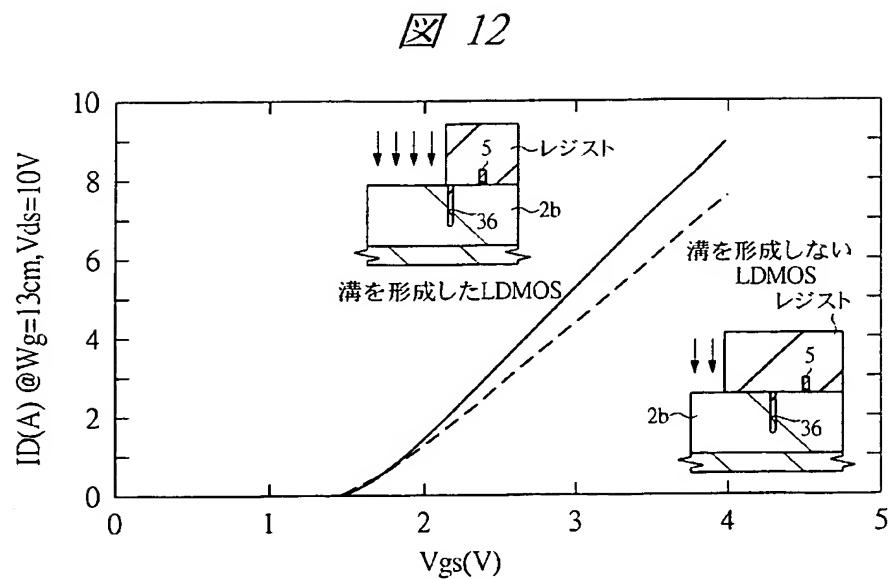


9 : p 型ソース打ち抜き層
 36 : 溝

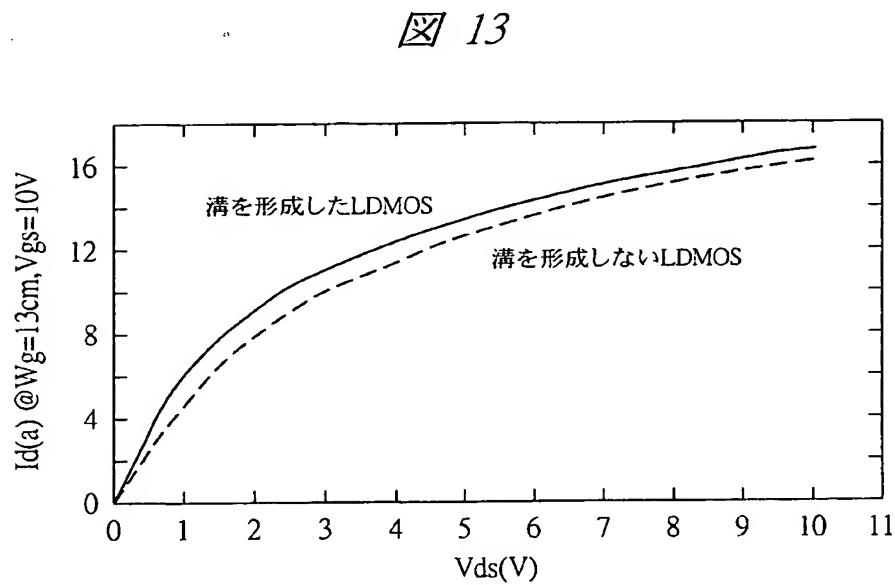
【図11】



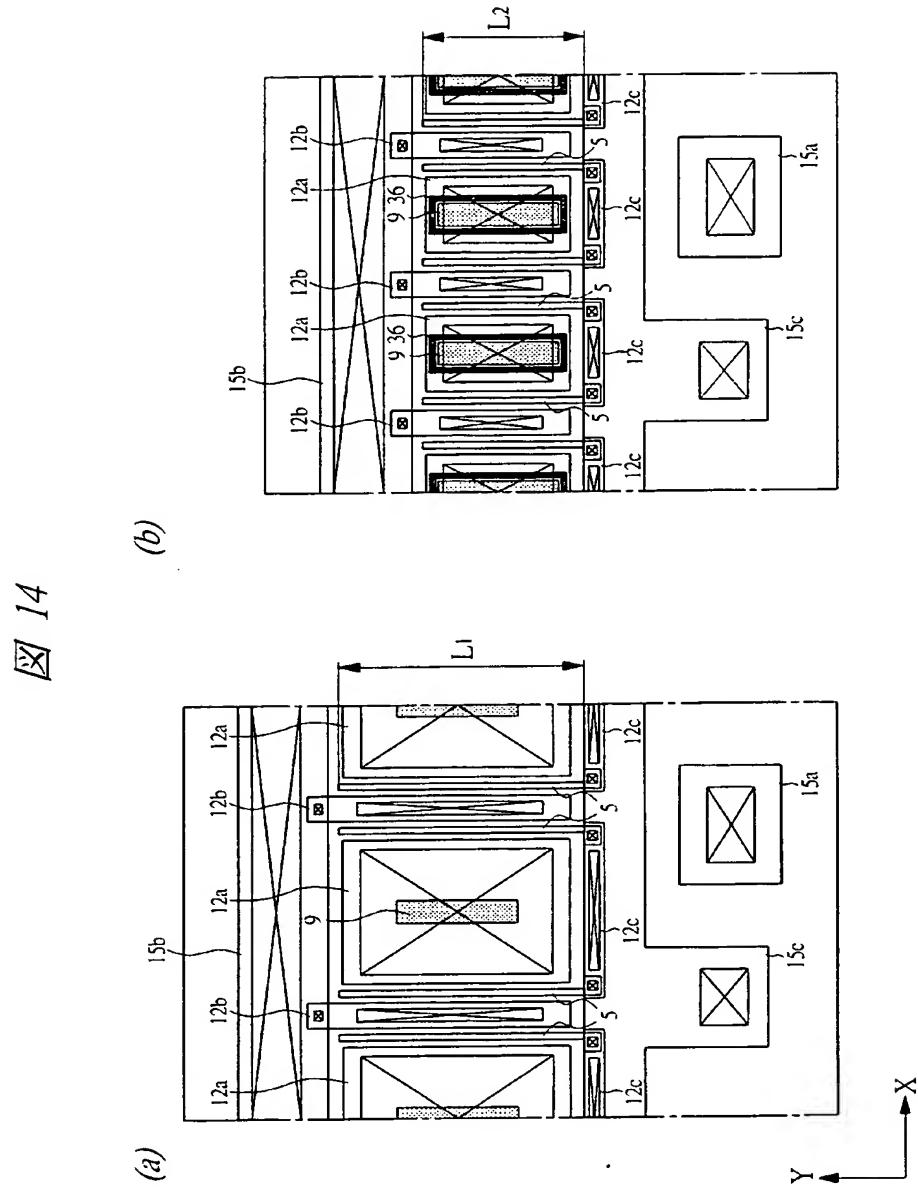
【図12】



【図13】

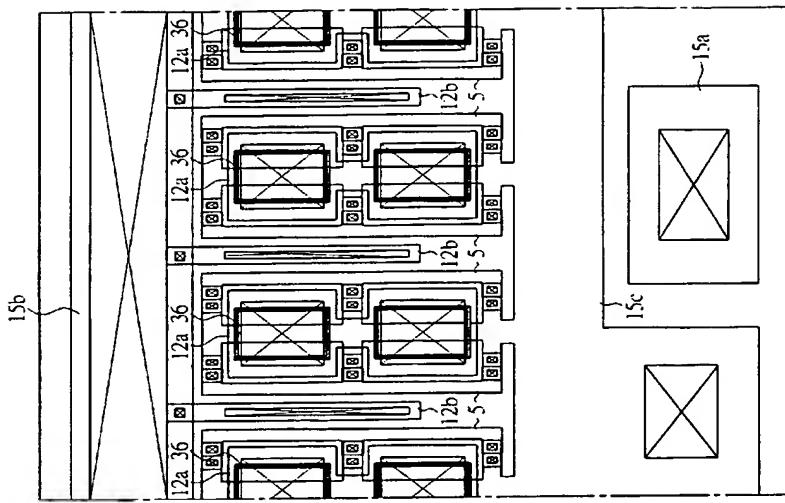


【図14】

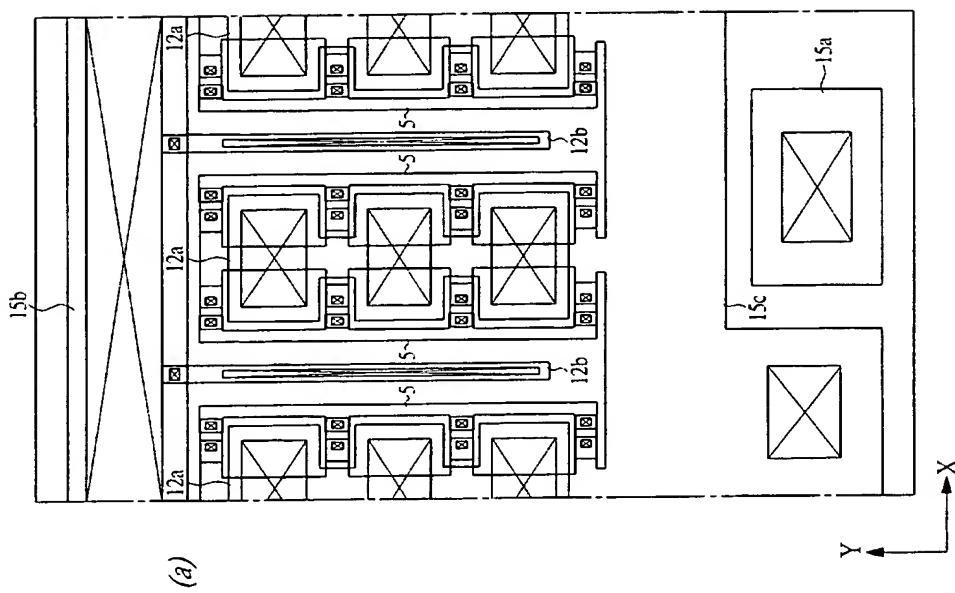


【図15】

図15



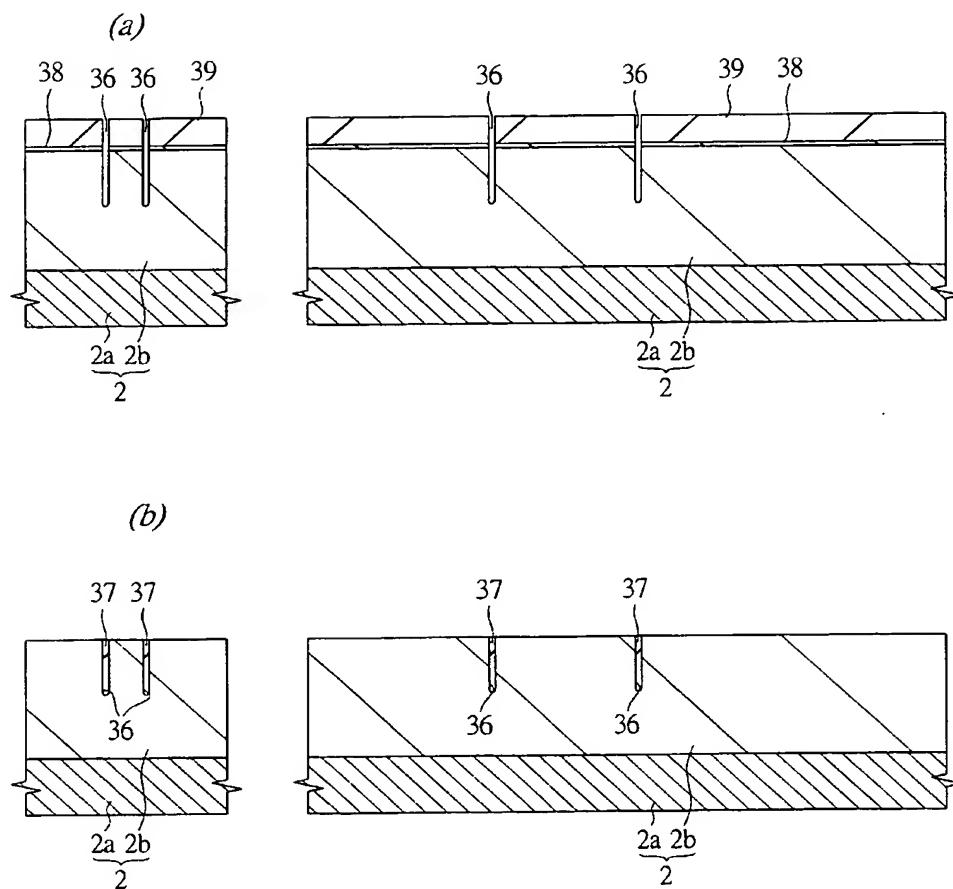
(b)



(a)

【図16】

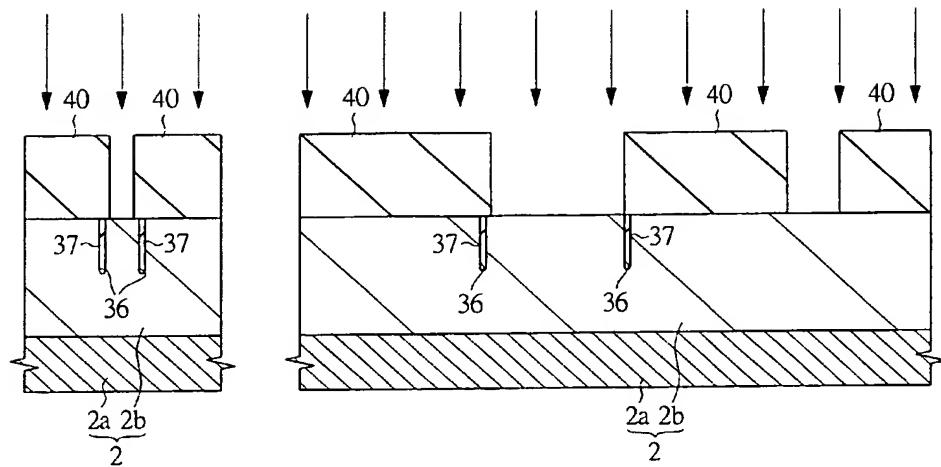
図 16



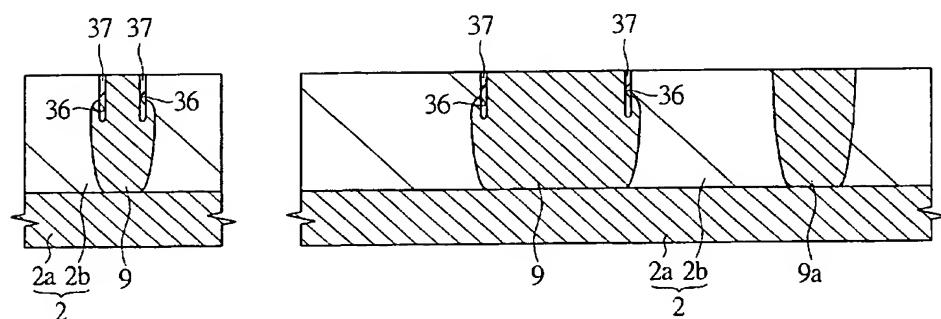
【図17】

図 17

(a)

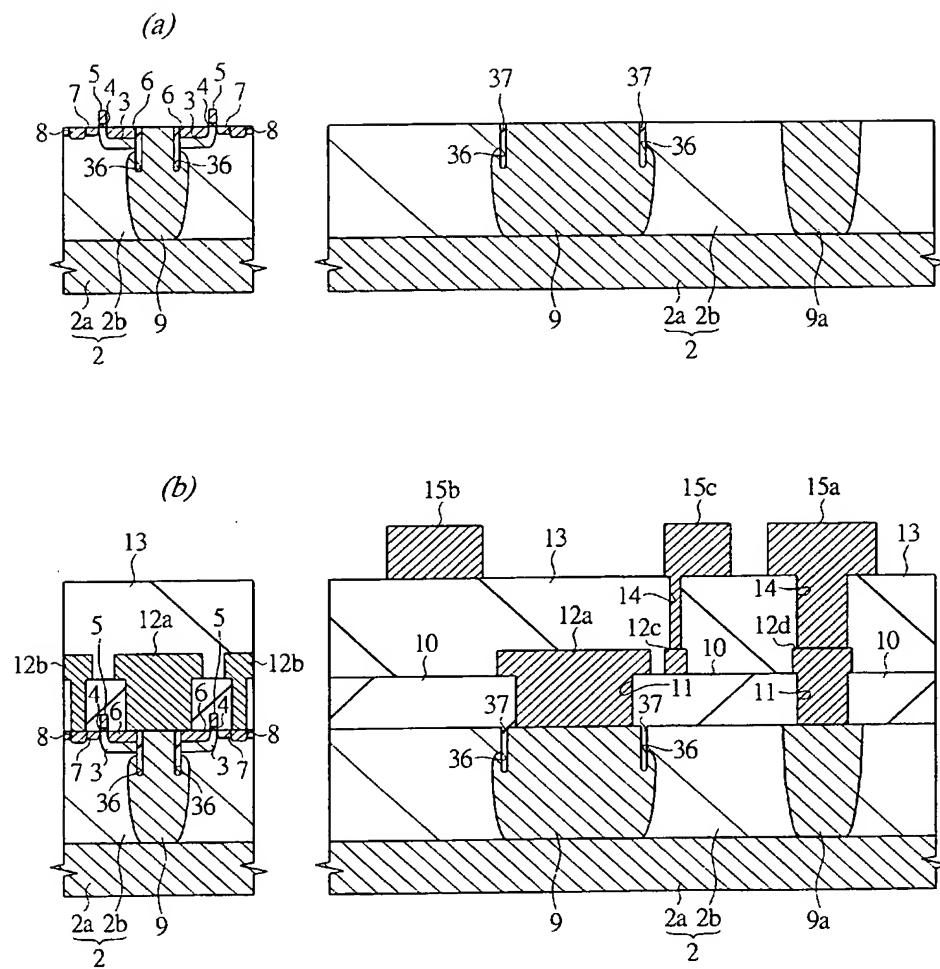


(b)



【図18】

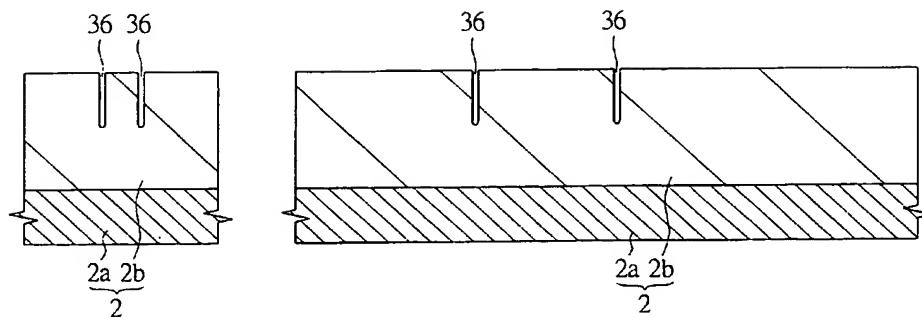
図 18



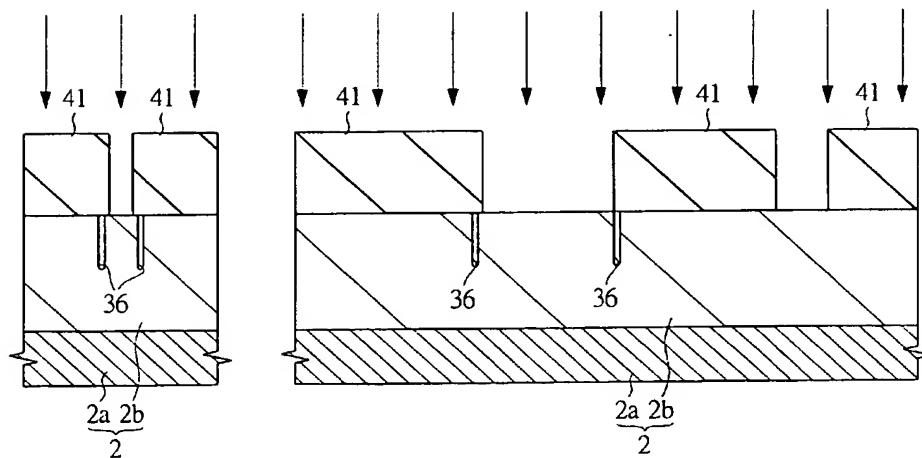
【図19】

図 19

(a)



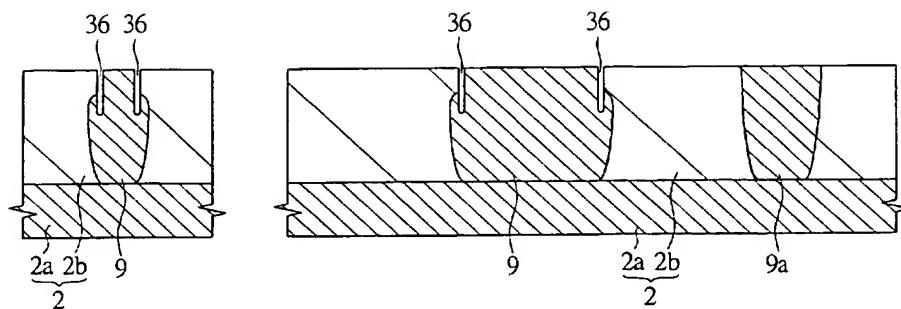
(b)



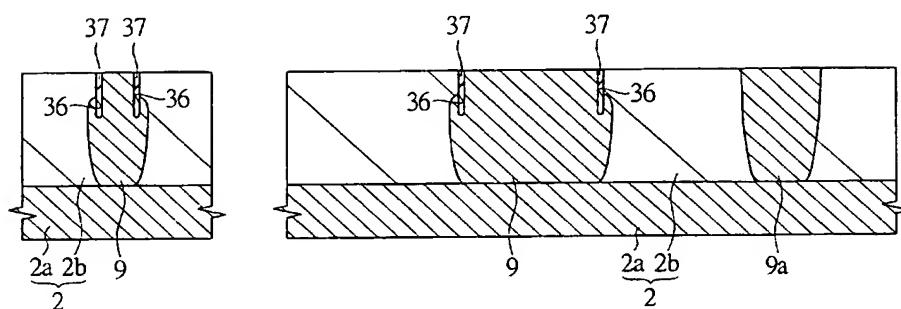
【図20】

図 20

(a)

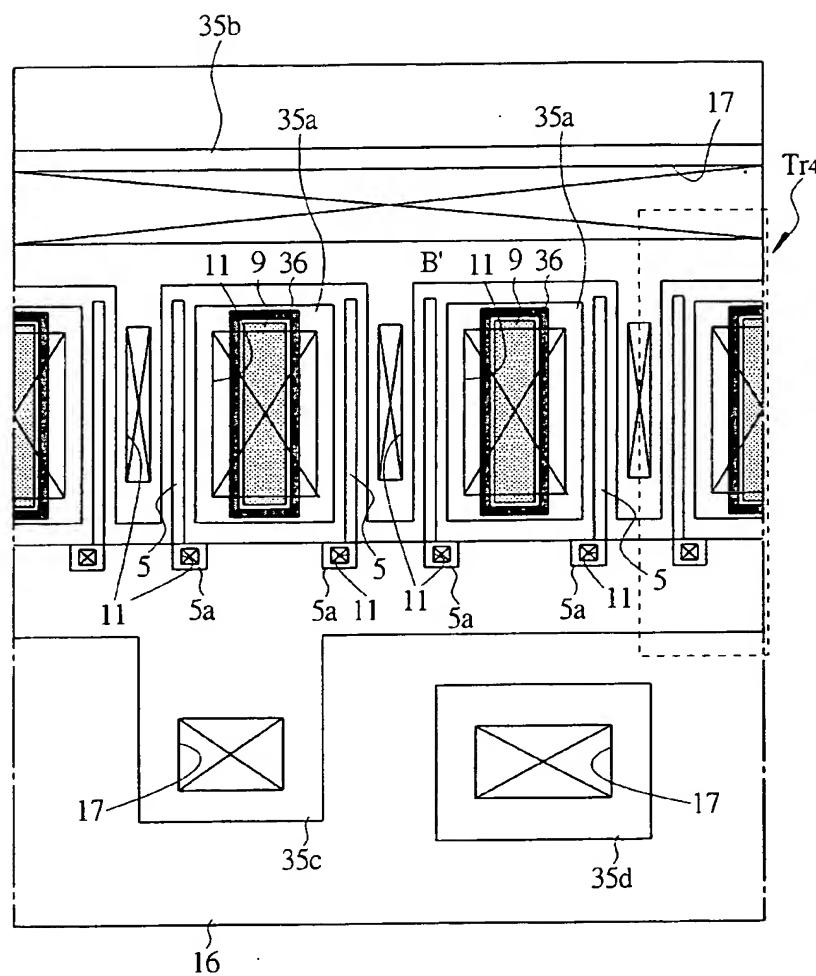


(b)



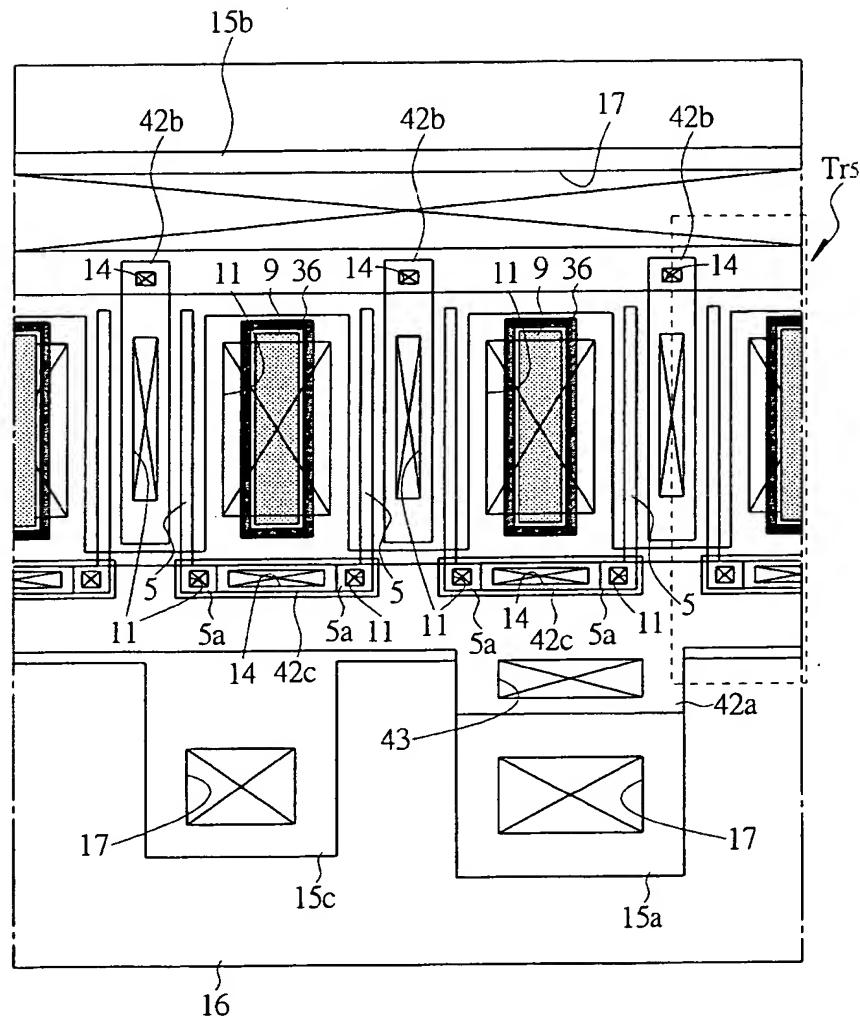
【図21】

図 21



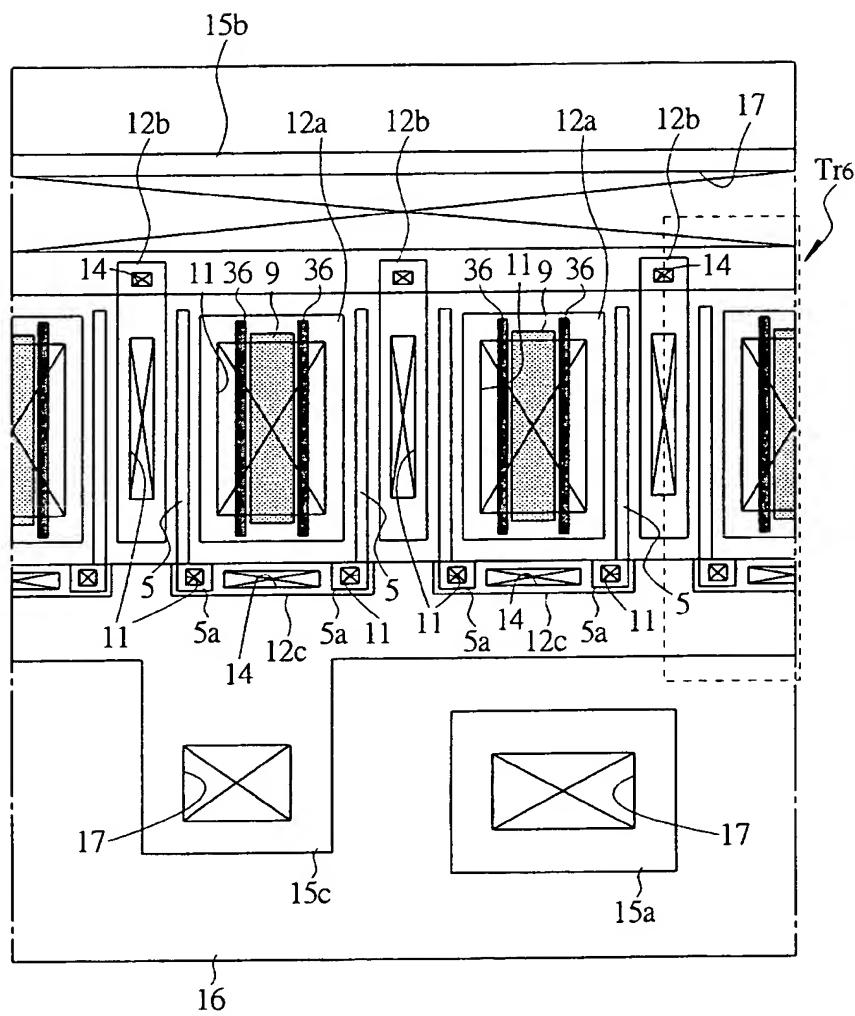
【図22】

図22



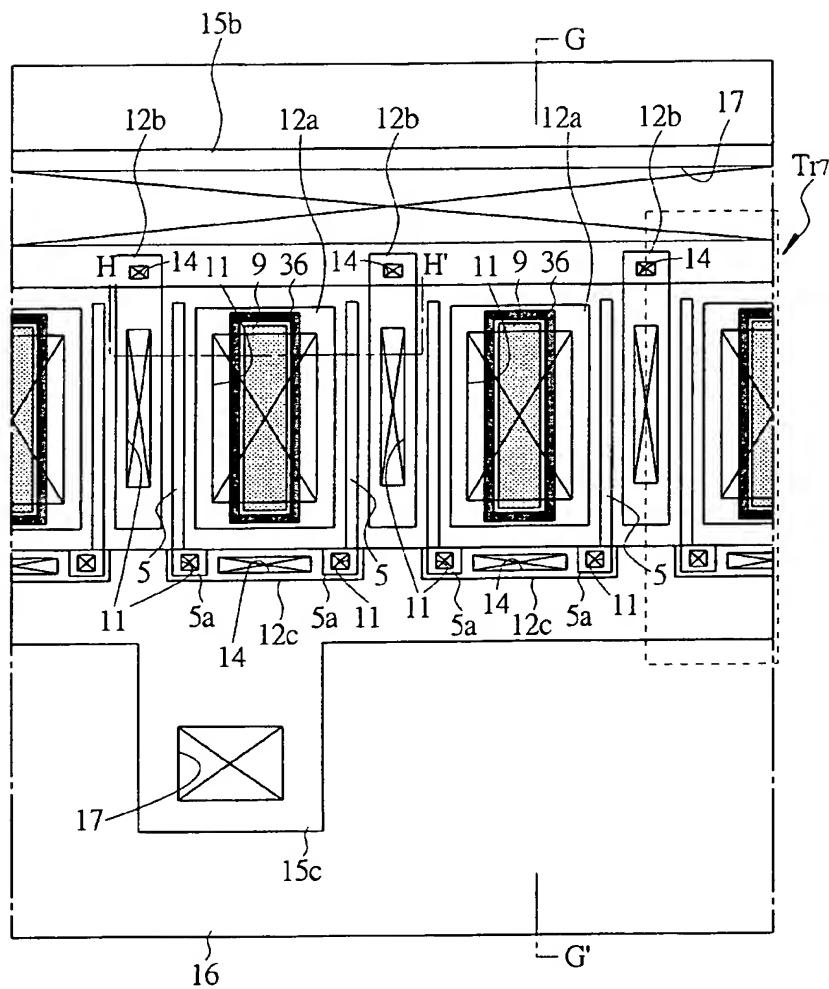
【図23】

図 23

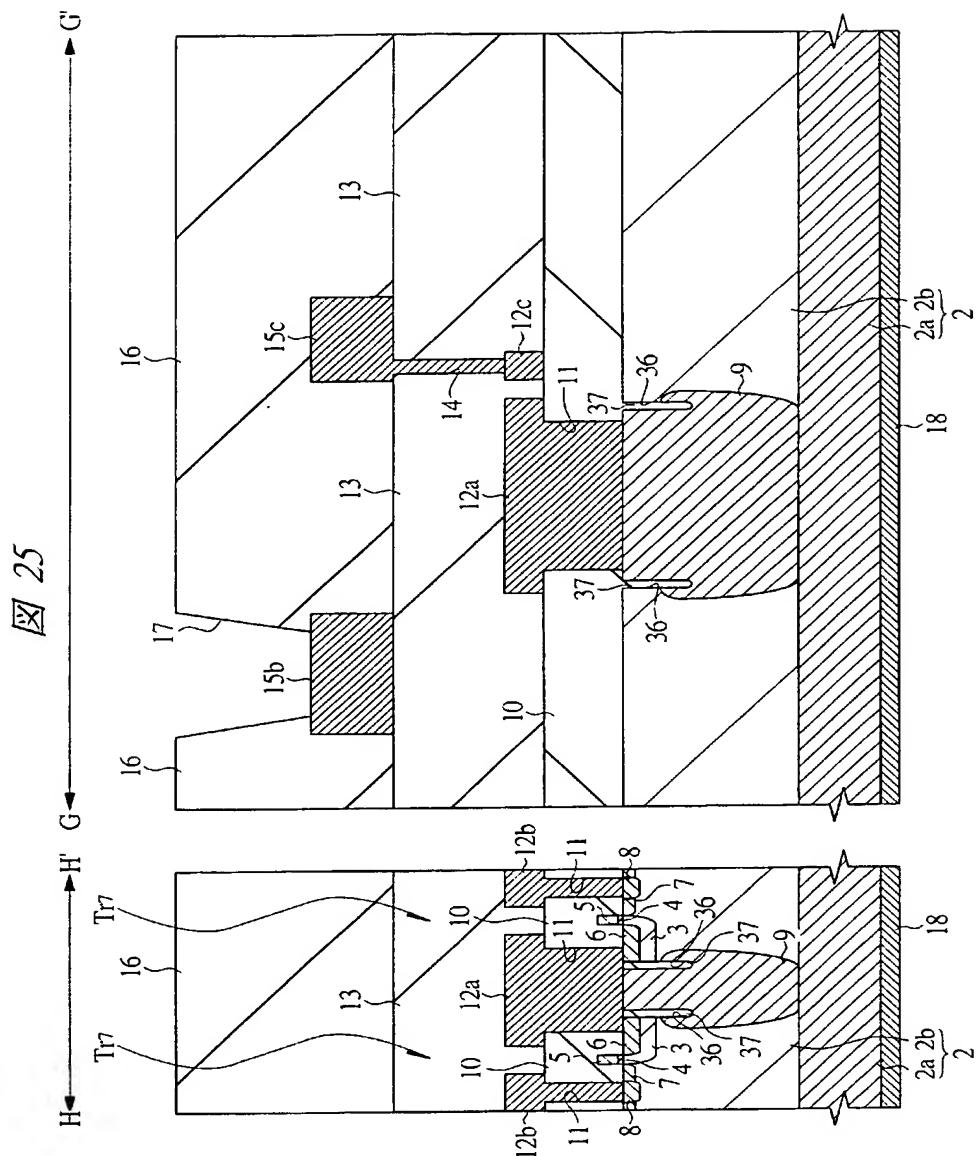


【図24】

図 24



【図25】



【書類名】 要約書

【要約】

【課題】 LDMOSの高周波電力利得を向上させることのできる技術を提供する。

【解決手段】 電極パッドを覆うパッシベーション膜の表面からシリコン基板の裏面までの距離を $200\mu m$ 以下とする、あるいは p^+ 型ソース打ち抜き層9を形成する際に p 型不純物を拡散させる箇所と第3 LDMOST r₃のチャネル領域との間に半導体層2bの表面からシリコン基板2aに向かって絶縁膜または導電体が埋め込まれた $2\mu m$ 以上の深さの溝36を形成し、この溝36によって p^+ 型ソース打ち抜き層9のチャネル領域への広がりを抑えることにより、ソースのインダクタンスまたは抵抗を下げる、高周波電力利得を向上させる。

【選択図】 図10

【書類名】 出願人名義変更届（一般承継）
【整理番号】 H03001441
【提出日】 平成16年 3月 9日
【あて先】 特許庁長官殿
【事件の表示】
　【出願番号】 特願2003- 93783
【承継人】
　【識別番号】 503121103
　【氏名又は名称】 株式会社ルネサステクノロジ
【承継人代理人】
　【識別番号】 100080001
　【弁理士】
　【氏名又は名称】 筒井 大和
【提出物件の目録】
　【包括委任状番号】 0308729
　【物件名】 承継人であることを証明する登記簿謄本 1
　【援用の表示】 特許第3154542号 平成15年4
　月11日付け提出の会社分割による特許権移転登録申請書を援用
　する。
【物件名】 権利の承継を証明する承継証明書 1
【援用の表示】 特願2003-84220 同日付提出
　の出願人名義変更届（一般承継）を援用する。

特願 2003-093783

出願人履歴情報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住所 東京都千代田区神田駿河台4丁目6番地
氏名 株式会社日立製作所

特願 2003-093783

出願人履歴情報

識別番号 [503121103]

1. 変更年月日 2003年 4月 1日

[変更理由] 新規登録

住所 東京都千代田区丸の内二丁目4番1号
氏名 株式会社ルネサステクノロジ